

BEST AVAILABLE COPY

(19)대한민국특허청(KR)

(12) 특허공보(B1)

(51) Int. Cl. 6
G06F 12/00

(45) 공고일자 1996년09월18일

(11) 공고번호 96-012353

(24) 등록일자

(21) 출원번호 특1993-0000211 (65) 공개번호 특1993-0016887

(22) 출원일자 1993년01월09일 (43) 공개일자 1993년08월30일

92-3405 1992년01월10일 일본(JP)

92-43963 1992년02월28일 일본(JP)

(30) 우선권주장 92-169258 1992년06월26일 일본(JP)

92-174314 1992년07월01일 일본(JP)

92-181194 1992년07월08일 일본(JP)

(73) 특허권자

일본국 효오고겐 고오베시 츠우오오구 기타혼마치도오리 1쵸오메 1반
28고

(72) 발명자

요네다 마사토

일본국 도오교오도 치요다구 우치사이와이쵸오 2쵸오메 2-3 가와사끼

세이데쯔 가부시끼가이샤 동경본사 내

사사마 히로시

일본국 도오교오도 치요다구 우치사이와이쵸오 2쵸오메 2-3 가와사끼

세이데쯔 가부시끼가이샤 동경본사 내

가나자와 나오키

(74) 대리인

강동수

강일우

홍기천

심사관 : 오홍수 (책자공보 제4636호)

(54) 부호화 회로 및 이에 적용가능한 데이터 검출용 반도체 집적회로 및 다이내믹 센스앰프

요약

내용없음

대표도

도1

명세서

[발명의 명칭]부호화 회로 및 이에 적용가능한 데이터 검출용 반도체 집적회로 및 다이내믹 센스앰프

[도면의 간단한 설명]제1도는 본 발명에 관련된 부호화 회로 및 이것이 적용되는 연상 메모리블록의 1실시예의 구성도.

제2도는 본 발명에 관련된 부호화 회로에 사용되는 프리패치회로 부착 우선순위부착 부호화 회로의 1실시예의 구성도.

제3도는 본 발명에 관련된 부호화 회로에 사용되는 우선순위부착 서브블록 부호화 회로의 1실시예의 구성도.

제4도는 본 발명에 관련된 부호화 회로에 사용되는 프리패치회로의 1실시예의 구성도.

제5도는 본 발명에 관련된 부호화 회로에 사용되는 프라이어티회로 및 엔코드회로의 다른 실시예의 구성도.

제6도는 (a), (b) 및 (c)는, 제5도에 도시한 프라이어티회로에 사용되는 소단위의 프라이어티회로의 1실시예의 개략구성도.

제7도는 제5도에 도시한 소단위의 프라이어티회로에 사용되는 논리연상회로의 1실시예의 구성도.

제8도는 본 발명에 관련된 부호화 회로 및 이것이 적용되는 연상 메모리블록의 다른 실시예의 구성도.

제9도는 본 발명에 관련된 부호화 회로에 사용되는 프리패치회로 부착 우선순위부착 부호화 회로의 다른 실시예의 구성도.

제10도는 본 발명에 관련된 부호화 회로에 사용되는 본 발명의 반도체 집적회로인 타이밍 제어회로의 1실시예의 구성도.

제11도는 본 발명에 관련된 부호화 회로에 사용되는 프리패치회로 부착 우선순위부착 부호화 회로의 각부의 타이밍을 나타내는 타이밍 차아트.

제12도는 본 발명에 관련된 반도체 집적회로인 타이밍 제어회로의 다른 실시예의 구성도.

제13도는 본 발명에 관련된 반도체 집적회로가 적용되는 부호화 회로의 프리패치회로 부착 우선순위 부착 부호화 회로의 각부의 타이밍을 나타내는 타임차아트.

제14도의 (a), (b)는 각각, 제12도 및 제10도에 도시한 타이밍 회로의 검출결과를 나타내는 그래프.

제15도는 본 발명에 관련된 반도체 집적회로인 타이밍 제어회로의 다른 실시예의 구성도.

제16도는 본 발명에 관련된 반도체 집적회로인 타이밍 제어회로의 다른 실시예의 구성도.

제17도의 (a), (b)는 각각 제15도 및 제10도에 도시한 타이밍 회로의 검출결과를 나타내는 그래프.

제18도는 본 발명에 관련된 반도체 집적회로가 적용된 타이밍 제어회로의 다른 실시예의 구성도.

제19도는 본 발명에 관련된 반도체 집적회로가 적용된 타이밍 제어회로의 다른 실시예의 구성도.

제20도는 본 발명에 관련된 반도체 집적회로가 적용된 타이밍 제어회로의 다른 실시예의 구성도.

제21도는 본 발명에 관련된 반도체 집적회로가 적용된 타이밍 제어회로의 다른 실시예의 구성도.

제22도는 본 발명에 관련된 반도체 집적회로가 적용되는 부호화 회로의 우선순위부착 서브 블록 부호화 회로 부품의 1실시예의 구성도.

제23도는 본 발명에 관련된 반도체 집적회로인 타이밍 제어회로의 다른 실시예의 구성도.

제24도는 본 발명에 관련된 부호화 회로 및 이것이 적용되는 연상 메모리블록의 다른 실시예의 구성도.

제25도는 본 발명에 관련된 부호화 회로에 사용되는 우선순위부착 부호화 회로의 다른 실시예의 구성도.

제26도는 본 발명에 관련된 부호화 회로에 사용되는 타이밍 제어회로의 다른 실시예의 구성도.

제27도는 본 발명에 관련된 부호화 회로의 작용을 설명하기 위한 타이밍 차아트.

제28도는 본 발명에 관련된 다이내믹 센스앰프의 1실시예의 구성 회로도.

제29도는 종래의 부호화 회로를 적용한 연상 메모리장치의 전체 구성도.

제30도는 종래의 부호화 회로를 적용한 연상 메모리블록의 전체 구성도.

* 도면의 주요부분에 대한 부호의 설명 10, 11 : 부호화 회로 12 : 메인 엔코더 14 : 서브블록 부호화 회로 16 : 프리패치회로 18 : 플래그 레지스터 18₀, 18₁, 18_m : 데이터 래치회로 20, 26 : 프라이어티회로 22 : 엔코더 24 : 래치회로 28 : 엔코더회로 30 : 연상 메모리, 서브블록 34 : 워드 32(B₁), 32(B₂), 32(B_m) : 서브블록 36, 36₁, 36₂, 36₃, 36_m, 36(R₀), 36(R₁), 36(R_m) : 레지스터 40, 40₀, 40₁, 40₂, 40_m : 프라이어티회로 요소 44(N₁) : NMOS 트랜지스터 44(N₁) : MOS 트랜지스터 48 : 논리연산회로 48a : OR 게이트 48b : AND 게이트 52 : 접지 트랜지스터 50₀, 50₁, 50₂, 50_{L-1} : 어드레스선 54₁, 54₂, 54₃, 54_m : 게이트회로 60, 76, 110, 112 : 타이밍 회로 61 : 타이밍 제어회로 62 : 제1신호선 64 : 제2신호선 66, 66₀, 66₁, 66₂, 66_m : 전류 구동회로 67a, 67b, 67c, 67d, 67e, 69a, 69b, 69c, 69, 75a, 75b, 75c, 75d : 트랜지스터 68 : 전류구동회로 70 : 전류검출회로 72 : 제어신호선 74, 74₀, 74₁, 74_m, 142 : 전류구동회로 77a, 77b, 77c, 77d, 80a, 80b, 82a, 82b, 109a, 109b : 트랜지스터 78, 79, 83 : 프리차이지 트랜지스터 84, 102a, 102b, 103a, 103b, 104a, 104b, 108a, 108b : 인버터 100, 106, 116 : 타이밍 제어회로 114 : 논리회로 118 : 레지스터 118, 118₀, 118_m : 래치회로 122 : 메인 엔코더 124 : 스위칭 회로 124a, 124b, 124(S₀), 124(S₁), 124(S_m), 126a, 126b, 126c : 트랜지스터 126 : 플래그 데이터 센스회로 128 : 앤드회로 130 : 오아회로 140, 140A, 144, 148, 150, 156 : 센스앰프 141 : 래치회로 143 : 프리차이지회로 145, 149, 158a, 158b : PMOS 151, 152, 153 : 검출타이밍 제어회로 155, 157 : NMOS 160(S₀), 160(S₁), 160(S_m) : 스위치회로

163, 164 : NMOS 트랜지스터 165(L₀), 165(L₁), 165(L_m) : 입력선 166 : AND 회로 167 : 블록선택선 168(PC₀), 168(PC₁), 168(PC_m) : PMOS 트랜지스터 169 : 프리차아지 신호선 170, 172 : 인버터 174, 175 : 래치신호선 178 : 타이밍 제어회로 180 : 프라이어티회로 182, 184, 184₃, 186 : 프라이어티회로(유니트회로) 188, 188₀, 188₁, 188₂, 188₃ : 회로요소 190 : 엔코더회로 192₀, 192₁, 192₃, 192₄, 192₅, 192₁₅ : 어드레스선 200 : 연상 메모리 202 : 연상 메모리블록 204 : 연상 메모리 서브블록 206 : CAM 서브어레이 208 : 비트신호 레지스터 210 : 프라이어티 엔코더 212 : 메인 프라이어티 엔코더 214 : 서브블록 프라이어티 엔코더 [발명의 상세한 설명] 본 발명은, 부호화 회로 및 이에 적용가능한 데이터 검출용 반도체 집적회로 및 다이내믹 센스앰프에 관한 것으로서, 상세하게 말하면, 대용량 연상 메모리(내용엑세스 메모리 : Content Addressable Memory : CAM) 등과 같이 다수의 블록에서 복수의 일치어드레스신호를 미리 정하여진 우선순위에 따라서 순번으로 효율 좋게 부호화하기 위한 부호화 회로 및 부호화 회로에 사용되고, 부호화할 상기 일치어드레스신호의 개수를 검출하기 위하여 증가 또는 감소하여가는 데이터의 개수를 검출하는 반도체 집적회로 및 기준(레퍼런스) 전류선과 신호전류선과의 차전류를 검출하는 다이내믹형 차전류 검출회로를 구비하고 부호화중의 일치어드레스신호 부호화 종료타이밍을 미리 검출하는 반도체 집적회로 및 그것을 위하여 사용되는 다이내믹 센스앰프에 관한 것이다.

종래부터 검색데이터와 기억데이터와의 일치검출을 전 비트 병행으로 하고, 일치한 데이터의 기억어드레스 또는 데이터를 출력하는 기능을 가지는 반도체 기억회로로서, 연상 메모리(associative memory), 즉, 완전병렬형 CMA(내용엑세스·메모리 : Content Addressable Memory)가 잘 알려져 있다(스가노 모토오 감수, 이이즈카 데쓰야 편 「CMOS초 LSI의 설계」 바이후우짱, P176~P177참조).

연상 메모리(CAM)는 물리적인 메모리 어드레스에 의하여서는 아니고, 내용에 의하여 검색된다. 따라서 CAM의 기본기능은 통상의 메모리와는 반대로 검색데이터를 입력하고, 그 검색데이터와 일치한 데이터가 기억되고 있는 워드의 어드레스를 출력하는 것이다. 그러나, 일치하는 워드는 하나로 한정되어 있는 것은 아니고, 복수의 워드로 일치하는 경우가 있다. 이와 같이 복수의 워드에서 일치가 얻어진 경우에는 보통의 부호화 회로(엔코더)로는 바른 부호화 출력을 얻을 수 없다. 이 때문에 CAM에는 복수의 일치신호(비트신호)를 소정의 우선순위에 따라서 부호화 출력하는 우선순위부착 부호화 회로(프라이어티·엔코더)가 사용되고 있다. 그런데, 대용량 CAM에서는, 일반적으로 워드길이에 대하여 워드수가 매우 크게 되어 있다. 이 때문에, 셀어레이가 복수의 블록으로 분할되는데, 거기서는 프라이어티·엔코더의 배치가 중요한 문제로 된다.

즉, 만약에 CAM의 각 블록 전체에 프라이어티·엔코더를 부착한다고 하면, 프라이어티·엔코더회로의 점유 면적이 커지며, 소비전력도 증대한다. 그리고, 분할하는 블록의 수가 증대하

면, 이에 비례하여, 상기 점유면적 및 소비전력은 더욱 증대한다.

이 때문에, 복수의 블록에 대하여 하나의 메인 프라이어티·엔코더를 설치하고, 이 프라이어티 엔코더에 의하여 엔코드(부호화)를 하는 블록은 별도로 설치된 블록 프라이어티·엔코더에 의하여 구성된 연상 메모리장치가 제안되고 있다.

이 연상 메모리(CAM)를 제29도에 도시한다. 제29도에 도시한 바와 같이, 연상 메모리(200)는 4개의 연상 메모리블록(202)으로 분할되고, 이 연상 메모리블록(202)는 다시 8개의 연상 메모리 서브블록(204)으로 분할되어 있다. 그리고, 프라이어티 엔코더(210)는, 이들 8개의 연상 메모리 서브블록(204)으로 된 하나의 연상 메모리블록(202)마다 하나의 즉 전 부해서 4개 설치되는 메인 프라이어티 엔코더(212)와, 4개의 연상 메모리블록(202)에 대하여 21개 설치되는 서브블록 프라이어티 엔코더(214)를 구비한 계층적 프라이어티 엔코더의 구성이 채용되고 있다. 여기서, 제30도에 도시한 바와 같이 연상 메모리 서브블록(204)은, 소정 워드길이의 연상 메모리워드를 소정 수 배열한 CAM 서브어레이(206)와 그 제어부로 이루어지고, 이 제어부에는 검색데이터와 연상 메모리워드와의 비트신호를 유지하는 비트신호 레지스터(208)가 포함된다.

이 연상 메모리블록(202)에 있어서, 일치검색시에는, 먼저, 각 연상 메모리 서브블록(204)마다 이 서브블록 내의 전 워드의 비트신호가 비트신호 레지스터(208)로 유지됨과 동시에 각 연상 메모리 서브블록(204)의 제어부의 OR 회로(도시하지 않음)에 의하여 이 서브블록(204) 내에 일치워드의 존재를 나타내는 서브블록 비트신호를 발생한다. 이어서, 서브블록 프라이어티 엔코더(214)가 그 신호를 받아서 가장 우선순위가 높은 연상 메모리 서브블록(204)을 나타내는 서브블록 셀렉트신호를 발생하고, 동시에 서브블록 프라이어티 엔코더(214)는 부호화(코드화)된 서브블록 어드레스를 생성한다. 다음에 선택된 서브블록의 스위치회로(도시하지 않음)가 상기 블록 셀렉트신호를 받아서 활성화하고, 비트신호 레지스터(208)에 유지되고 있는 데이터(비트신호)를 출력신호로서 메인 프라이어티 엔코더(212)는 전송된다. 그리고 이 뒤에, 메인 프라이어티 엔코더(212)는 전송된 비트신호를 미리 정하여진 우선순위에 따라서 부호화 된 연상 메모리 서브블록(204) 내의 비트 메모리 워드어드레스를 생성한다. 이 비트메모리 워드어드레스와 상술한 서브블록 어드레스와를 합쳐서 CAM 메모리(200)의 비트메모리 워드의 부호화 논리 어드레스를 프라이어티 엔코더(210)로서의 출력으로 하고 있다.

제29도 및 제30도에 도시한 종래의 CAM 메모리(200)에 있어서는 프라이어티 엔코더(부호화 회로)(210)를 복수의 연상 메모리 서브블록(204)를 맡는 메인 프라이어티 엔코더(우선순위부착 부호화 회로)(212)와 부호화를 행하는 연상 메모리 서브블록(204)의 우선순위를 매기는 서브블록 프라이어티 엔코더(214)로 구성하고, 이 복수의 서브블록(204)내에서 먼저,

우선순위를 결정하여, 우선된 서브블록(204)의 출력신호를 메인 프라이어티 엔코더(212)에 입력하고, 부호화(엔코드)함으로써, 부호화 회로 구성전체를 비교적 작게할 수 있고, CAM 메모리(200)전체의 회로 규모에 대한 회로 면적을 축소하고, 고집적화를 도모하는 것을 가능한 것으로 하고 있다.

그렇지만, 우선된 연상 메모리 서브블록(204)으로부터의 출력신호(비트신호 데이터)가 모든 메인 프라이어티 엔코더(212)에 의하여 부호화되고, 이 부호화가 종료하고, 부호화된 데이터가 출력되고 나서, 다음의 우선 서브블록(204)으로부터의 출력신호(비트신호 데이터(이하, 플래그 데이터라고도 함))의 부호화를 개시하기까지의 사이에는 서브블록간의 비트신호의 전환시간이 필요하게 된다. 즉, 메인 프라이어티 엔코더(212)에 의한 부호화 어드레스의 출력후, 다음의 우선 서브블록(204)의 비트신호 레지스터(208)로부터 비트신호 데이터가 메인 프라이어티 엔코더까지 전송되는 시간이 필요하여, 효율 좋게 부호화할 수 없다고 하는 문제가 있었다. 여기서, 서브블록간의 전환시간을 없애고, 효율 좋게 부호화하기 위하여, 이 전환시간을 고려하여 서브블록의 플래그 데이터의 부호화 종료의 타이밍을 미리 예고하는 신호(예컨대, 종료예고신호) 및 실제의 서브블록간의 플래그 데이터의 전환타이밍 신호를 발생 하는 수단이나, 적어도 예고신호가 출력되기까지의 다음의 우선순위의 서브블록의 플래그 데이터를 유지해 놓은 수단을 가진 부호화 회로는 없었다. 이 때문에, 서브블록간의 전환타이밍을 검출하기 위한 타이밍 제어회로가 요구되고 있었으나, 서브블록의 비트신호의 부호화 종료를 미리 예고하는 전환 타이밍의 예고신호(예컨대, 종료예고신호) 등을 안정되게, 확실하게 출력할 수 있는 것은 없었다.

또한, 타이밍 제어를 하기 위하여 레퍼런스전류와 검출전류를 비교하고, 그 차전류를 검출 하기 위하여 전류차 검출회로(센스앰프)가 사용되지만, 종래의 차전류회로는 스테틱한 타이프가 주류이고, 정상적인 전류가 흐르기 때문에 소비전력이 커진다고 하는 문제가 있었다. 또, 이 스테틱한 전류차 검출회로는, 그 회로구성이 레퍼런스용의 정전류회로 등의 실현 때문에 비교적 큰 면적을 점하는 것이 많다고 하는 문제가 있었다.

본 발명의 제1의 목적은 상기 종래 기술의 문제점을 해소하고, 대용량 데이터에 대한 고속 처리를 필요로 하는, 복수의 연상 메모리 서브블록으로 구성되는 연상 메모리블록으로 이루어지는 대용량 연상 메모리장치에 적용가능하고, 복수의 연상 메모리 서브블록간의 전환에 시간지체(대기시간)가 없고 다수의 연상 메모리 서브블록으로부터의 출력신호를 소정의 사이클로 연속해서 효율 좋게 부호화할 수 있는 부호화 회로를 제공하는 것에 있다.

본 발명의 제2의 목적은, 대용량 데이터에 대한 고속처리를 필요로 하는, 복수의 연상 메모리 서브블록으로 구성되는 연상 메모리블록으로 이루어지는 대용량 연상 메모리장치의 부호화 회로에 적용가능하고, 복수의 연상 메모리 서브블록으로부터의 출력신호를 소정의 부호

화 사이클로 연속해서 효율 좋게 부호화하기 위하여 연상 메모리 서브블록간의 전환에 시간 지체(대기시간)가 생기지 않도록 부호화중의 연상 메모리 서브블록의 부호화 종료의 타이밍을 높은 노이즈마진에서 안정하고 확실하게 미리 검출하여 둘 수 있는 반도체 장치를 제공하는 것에 있다.

본 발명의 제3의 목적은, 레퍼런스 전류제어 레지스터에 소정 데이터를 소정 개수 유지시킴으로써, 데이터 레지스터의 데이터의 개수를 검지할 수 있고, 대용량 데이터에 대한 고속처리를 필요로 하는, 복수의 연상 메모리 서브블록으로 구성되는 연상 메모리블록으로 이루어지는 대용량 연상 메모리장치의 부호화 회로에 적용가능하고, 복수의 연상 메모리 서브블록으로부터의 출력신호를 소정의 부호화 사이클로 연속해서 효율 좋게 부호화하기 위하여 연상 메모리 서브블록간의 전환에 시간지체(대기시간)가 생기지 않도록 부호화중의 연상 메모리 서브블록에 잔존하는 미부호화 플래그 데이터의 개수가 소정수로 된 것을 미리 확실하게 검지할 수 있는 반도체장치를 제공하는 것에 있다.

본 발명의 제4의 목적은, 2개의 신호선에 흐르는 전류의 차, 따라서, 이 차에 의하여 생기는 전위차를 낮은 소비전력으로 검출할 수 있고, 특히 신호선에 접속되는 부하가 많더라도, 또, 양 신호선에 흐르는 전위차가 적고, 그 전위차가 작은 경우라도 높은 동작마진으로 정확하고도 안정하고 확실하게 동작하고, 부호화 종료타이밍의 검출이나 SRAM이나 DRAM 등의 반도체 메모리의 판독출력 등에 사용할 수 있는 다이내믹 센스앰프를 제공하는 것에 있다.

상기 제1의 목적을 달성하기 위하여, 본 발명의 제1의 상태는, 복수의 연상 메모리워드에 의하여 구성되는 연상 메모리 서브블록을 복수개 갖는 연상 메모리 장치에 대하여 마련되고, 상기 연상 메모리 서브블록의 복수의 연상 메모리워드에 대하여 입력된 검지데이터와의 일치검색결과 플래그 데이터를 소정의 우선순위로 부호화하는 우선순위부착 메인 부호화 회로와, 복수의 상기 연상 메모리 서브블록의 블록 우선순위부착을 하는 우선순위부착 서브블록 부호화 회로를 가지고, 상기 우선순위부착 메인 부호화 회로에는, 상기 우선순위부착 서브블록 부호화 회로에 의하여 결정된 우선순위가 높은 연상 메모리 서브블록의 플래그 데이터를 부호화중에 기억하여 두는 플래그 레지스터와, 이 플래그 레지스터 내의 일치신호를 부호화하고 있는 사이에, 다음으로 우선순위가 높은 연상 메모리 서브블록의 상기 플래그 데이터를 미리 기억하기 위한 프리패치 회로를 가지는 것을 특징으로 하는 부호화 회로를 제공하는 것이다.

또, 본 발명의 제1의 상태는, 상기 부호화 회로로서, 그 위에, 상기 우선순위부착 부호화 회로에 있어서의 상기 연상 메모리 서브블록의 상기 일치신호의 부호화에 따라서 이 일치신호를 하나씩 리세트하는 수단과, 부호화중의 상기 연상 메모리 서브블록의 상기 일치신호의 부호화의 종료를 검출하는 검출수단과를 가지고, 이 검출수단에 의한 부호화 종로의 검출에

의하여 상기 선편독 버퍼회로에 입력된 상기 일치신호의 부호화를 하는 것을 특징으로 하는 부호화 회로를 제공하는 것이다.

또, 본 발명의 제2의 상태는, 상기 부호화 회로에 있어, 그 위에, 상기 우선순위부착 메모리 부호화 회로에 있어서의 상기 연상 메모리 서브블록의 상기 일치신호의 부호화에 따라서 이 일치신호를 하나씩 리세트하는 리세트수단과, 상기 플래그 레지스터 내의 일치신호의 부호화 종료를 미리 검지하고 상기 플래그 레지스터 내 플래그 데이터를 프리패치회로 내의 플래그 데이터로 전환하는 타이밍 검지, 제어하는 회로수단과를 가지는 것을 특징으로 하는 부호화 회로를 제공하는 것이다.

또, 본 발명의 제3의 상태는, 복수의 연상 메모리워드에 의하여 구성되는 연상 메모리 서브블록을 복수개 갖는 연상 메모리장치에 대하여 마련되고, 상기 연상 메모리 서브블록의 복수의 연상 메모리워드에 대하여 입력된 검색데이터와의 일치검색결과 플래그 데이터를 소정의 우선순위로 부호화하는 우선순위부착 메인 부호화 회로와, 복수의 상기 연상 메모리 서브블록의 블록우선순위부착을 하는 우선순위부착 서브블록 부호화 회로와를 가지고, 상기 우선순위부착 메모리 부호화 회로는, 상기 우선순위부착 서브블록 부호화 회로에 의하여 결정된 우선순위가 높은 연상 메모리 서브블록의 플래그 데이터를 부호화중에 기억하여 두는 플래그 레지스터와, 상기 우선순위부착 메모리 부호화 회로에 있어서의 상기 연상 메모리 서브블록의 상기 일치신호의 부호화에 따라서 이 일치신호를 하나씩 리세트하는 리세트 수단과, 상기 플래그 레지스터 내의 일치신호의 부호화 종료를 미리 검지하고, 다음으로 우선순위가 높은 연상 메모리 서브블록의 플래그 데이터를 준비시키는 타이밍을 검지, 제어하는 타이밍 회로를 가지고, 그 위에 상기 플래그 레지스터 내의 일치신호의 부호화 종료까지에, 상기 연상 메모리워드로부터 다음으로 우선순위가 높은 연상 메모리 서브블록의 상기 플래그 데이터를 검출하는 플래그 데이터 센스회로를 가지는 것을 특징으로 한 부호화 회로를 제공하는 것이다.

상기 제2 및 제3의 부호화 회로에 있어서, 상기 타이밍 회로는, 제1의 신호선과, 이 신호선에 각각 병렬로 설치된 2 이상의 M개의 전류구동수단과, 상기 플래그 레지스터에 접속되고, 이 전류구동수단을 각각 제어하는 M개의 데이터를 각각 입력하는 M개의 데이터 입력선과, 제2의 신호선과, 이 제2의 신호선에 설치된 기준전류구동수단, 상기 M개의 전류구동수단을 통하여 상기 제1의 신호선에 흐르는 전류와 상기 기준전류구동수단을 통하여 상기 제2의 신호선에 흐르는 전류와의 차전류를 검출하는 차전류 검출수단과를 구비하고, 상기 M개의 데이터 입력선으로부터 입력선으로부터 입력되는 상기 M개의 데이터의 0 또는 1개의 개수를 검지하는 개수검출회로를 가지는 것이 바람직하다. 또, 상기 각 전류구동수단은, 동작타이밍을 제어하는 제어트랜지스터와, 그 게이트전극이 대응하는 상기 데이터 입력선에 접속된 신호전압인가 트랜지스터와를 가지는 것이 바람직하다. 더욱, 상기 신호전압인가 트랜지

스터는, 상기 제어트랜지스터와 상기 제1의 신호선과의 사이에 개재하도록 설치되는 것이 바람직하다.

또, 상기 차전류 검출수단은, 더욱, 검출개시전압과 상기 제1 및 제2의 신호선에 미리 동일하게 설정되는 전압과의 차를 상대적으로 크게 잡는 검출개시레벨 설정수단을 가지는 것이 바람직하다.

또, 상기 타이밍 회로는, 더욱 상기 제1 및 제2의 신호선과 사이 차전류 검출수단과의 사이에 각각 개재하는 적어도 1개의 제1 및 제1의 인버터를 구비하는 것이 바람직하다.

또, 상기 타이밍 회로는, 더욱 상기 제1 및 제2의 신호선과 상기 차전류 검출수단과의 사이에 각각 개재하는 제1 및 제2의 트랜지스터와, 이 제1의 트랜지스터의 게이트전극과 상기 제1의 신호선과의 사이에 개재하는 적어도 하나의 제1의 인버터와, 상기 제1의 트랜지스터의 게이트전극과 상기 제2의 신호선과의 사이에 개재하는 적어도 하나의 제2의 인버터를 구비하는 것이 바람직하다. 또, 상기 타이밍 회로는 더욱, 상기 제1 및 제2의 트랜지스터와 상기 차전류 검출수단과의 각각의 접속부를 각각 프리차아지하는 수단을 가지는 것이 바람직하다.

또한, 상기 타이밍 회로는, 제1의 신호선과, 이 신호선에 각각 병렬로 설치된 2 이상의 M개의 단위전류 구동수단과, 상기 데이터 레지스터는 이 단위전류 구동수단을 각각 제어하는 M개의 데이터를 각각 유지하고, 제1의 신호선과, 이 제2의 신호선에 각각 병렬로 설치된 N개의 레퍼런스용 단위전류 구동수단과, 이 레퍼런스용 단위전류 구동수단을 각각 제어하는 N개 데이터를 각각 유지하는 레퍼런스 전류제어 레지스터와, 상기 제1의 신호선에 설치된 레퍼런스 오프셋 전류구동수단과, 상기 M개의 단위전류 구동수단을 개재하여 상기 제1의 신호선에 흐르는 전류와 상기 N개의 레퍼런스용 단위전류 구동수단 및 레퍼런스 오프셋 전류구동수단을 개재하여 상기 제2의 신호선에 흐르는 레퍼런스전류와의 차전류를 검출하는 차전류 검출수단을 구비하고, 상기 레퍼런스 전류제어 레지스터에 유지된 N개의 데이터의 0 또는 1의 개수에 따라서 상기 데이터 레지스터로부터 상기 단위전류 구동수단에 입력되는 상기 M개의 데이터의 0 또는 1의 개수를 검지하는 개수검출회로를 가지는 것이 바람직하다.

상기 제2의 목적을 달성하기 위하여, 본 발명의 제4의 상태는, 제1의 신호선과, 이 신호선에 각각 병렬로 설치된 1 이상의 M개의 전류구동수단과, 이 전류구동수단을 각각 제어하는 M개의 데이터를 각각 입력하는 M개의 데이터 입력선과, 제2의 신호와, 이 제2의 신호선에 설치된 기준전류를 구동수단과, 상기 M개의 전류구동수단을 개재하여 상기 제1의 신호선에 흐르는 전류와 상기 기준전류 구동수단을 개재하여 상기 제2의 신호선에 흐르는 전류와의

차전류를 검출하는 차전류 검출수단과를 구비하고, 상기 M개의 데이터 입력선으로부터 입력되는 상기 M개의 데이터의 0 또는 1의 개수를 검지하는 것을 특징으로 하는 반도체 집적회로를 제공하는 것이다. 여기서, 상기 각 전류구동수단은, 동작타이밍을 제어하는 제어트랜지스터와, 그 게이트전극이 대응하는 상기 데이터 입력선에 접속된 신호전압인가 트랜지스터를 가지는 것이 바람직하다.

또, 본 발명의 제5의 상태는, 상기 반도체 집적회로로서, 상기 신호전압인가 트랜지스터가, 상기 제어트랜지스터와 상기 제1의 신호선과의 사이에 개재하도록 설치하는 반도체 집적회로를 제공하는 것이다.

또, 본 발명의 제6의 상태는, 상기 각 상태의 반도체 집적회로로서, 상기 차전류 검출수단을 그 위에 검출개시전압과, 상기 제1 및 제2의 신호선에 미리 동일하게 설정되는 전압과의 차를 상대적으로 크게 잡는 검출개시레벨 설정수단을 가지는 것을 특징으로 하는 반도체 집적회로를 제공하는 것이다.

또, 본 발명의 제7의 상태는, 상기 각 상태의 반도체 집적회로로서, 그 위에, 상기 제1 및 제2의 신호선과 상기 차전류 검출수단과의 사이에 각각 개재하는 적어도 1개의 제1 및 제2의 인버터를 구비하는 것을 특징으로 하는 반도체 집적회로를 제공하는 것이다.

또, 본 발명의 제8의 상태는, 상기 각 상태의 반도체 집적회로로서, 그 위에, 상기 제1 및 제2의 신호선과 상기 차전류 검출수단과의 사이에 각각 개재하는 제1 및 제2트랜지스터와, 이 제1의 트랜지스터의 게이트전극과 상기 제1의 신호선과의 사이에 개재하는 적어도 하나의 제1인버터와, 상기 제2의 트랜지스터의 게이트전극과 상기 제2의 신호선과의 사이에 개재하는 적어도 하나의 제2의 인버터를 구비하는 것을 특징으로 하는 반도체 집적회로를 제공하는 것이다.

또, 본 발명의 제9의 상태는, 상기 각 상태의 반도체 집적회로로서, 그 위에, 상기 제1 및 제2의 트랜지스터와 상기 차전류 검출수단과의 각각에 접속부를 각각 프리차아지하는 수단을 가지는 것을 특징으로 하는 반도체 집적회로를 제공하는 것이다.

또, 상기 제3의 목적을 달성하기 위하여, 본 발명의 제10의 상태는, 제1의 신호선과, 이 신호선에 각각 병렬로 설치된 2 이상의 M개의 단위전류 구동수단과, 이 단위전류 구동수단을 각각 제어하는 M개의 데이터를 각각 유지하는 데이터 레지스터와, 제2의 신호선과, 이 제2의 신호선에 각각 병렬로 설치된 N개의 레퍼런스용 단위전류 구동수단과, 이 레퍼런스용 단위전류 구동수단을 각각 제어하는 N개의 데이터를 각각 유지하는 레퍼런스 전류제어 레지스터와, 상기 제2의 신호선에 설치된 레퍼런스 옴세트 전류구동수단과, 상기 M개의 단위

전류 구동수단을 개재하여 상기 제1의 신호선에 흐르는 전류와 상기 N개의 레퍼런스용 단위전류 구동수단 및 레퍼런스 오프셋 전류구동수단을 개재하여 상기 제1의 신호선에 흐르는 레퍼런스전류와의 차전류를 검출하는 차전류 검출수단과를 구비하고, 상기 레퍼런스 전류제어 레지스터에 유지된 N개의 데이터의 0 또는 1의 개수에 따라서, 상기 데이터 레지스터로부터 상기 단위전류 구동수단에 입력되는 상기 M개의 데이터의 0 또는 1의 검지하는 것을 특징으로 하는 반도체 집적회로를 제공하는 것이다.

또, 상기 제4의 목적을 달성하기 위하여, 본 발명의 제11의 상태는, 각각 적어도 1개의 검출노우드를 가지는 제1의 신호선 및 제2의 신호선과, 이 제1의 신호선 및 제2의 신호선의 각각이 검출노우드에 접속되고, 각각의 신호선에 대응한 제1의 입력노우드 및 제2의 입력노우드를 가지는 제1의 전류구동수단 및 제2의 전류구동수단과, 상기 제1의 신호선과 제2의 신호선의 차전류를 검출하고, 제1의 출력노우드 및 제2의 출력노우드를 가지는 전류구동형 래치회로와, 이 전류구동형 래치회로와 상기 제1 및 제2의 신호선의 검출노우드와의 사이에 각각 설치되고, 상기 전류구동형 래치회로의 검출타이밍을 제어하는 수단을 구비하는 것을 특징으로 하는 다이내믹 센스앰프를 제공하는 것이다.

상기 제4의 상태의 다이내믹 센스앰프에 있어서, 상기 전류구동형 래치회로는, 소오스가 제1의 전원전위노우드에 접속되고, 드레인이 상기 제1의 출력노우드에 접속되는 제1도전형의 제1의 MOS 트랜지스터와, 드레인이 상기 제1의 출력노우드에 접속되는 제2도전형의 제2의 MOS 트랜지스터와, 소오스가 상기 제1의 전원전위 노우드에 접속되고, 드레인이 상기 제1의 출력노우드에 접속되는 상기 제1도전형의 제3의 MOS 트랜지스터와, 드레인이 상기 제2의 출력노우드에 접속되는 제2도전형의 제4의 MOS 트랜지스터를 구비하고, 상기 제1의 MOS 트랜지스터의 게이트 및 제2의 MOS 트랜지스터의 게이트가 함께 상기 제2의 출력노우드에 접속되고, 상기 제3의 MOS 트랜지스터의 게이트 및 제4의 MOS 트랜지스터의 게이트가 함께 상기 제1의 출력노우드에 접속되고, 상기 제2의 MOS 트랜지스터의 소오스가 상기 제1의 신호선에 접속되고, 상기 제4의 MOS 트랜지스터의 소오스가 상기 제2의 신호선에 접속되는 것이 바람직하다.

또, 상기 제1의 도전형 MOS 트랜지스터가 P채널 MOS 트랜지스터이고, 상기 제2의 도전형 MOS 트랜지스터가 P채널 MOS 트랜지스터인 것이 바람직하다.

또, 상기 제1의 도전형 MOS 트랜지스터가 N채널 MOS 트랜지스터이고, 상기 제2의 도전형 MOS 트랜지스터가 P채널 MOS 트랜지스터인 것이 바람직하다.

또, 상기 제1이 전류구동수단은, 한편의 전극이 상기 제1의 신호선의 검출노우드에 접속되고, 게이트가 상기 제1의 입력노우드로 되는 제1의 신호용 트랜지스터와, 한편의 전극이 제

2의 신호선의 검출노우드에 접속되고, 게이트가 상기 제2의 입력노우드로 되는 제2의 신호용 트랜지스터와, 상기 제1의 신호용 트랜지스터 및 상기 제2의 신호용 트랜지스터의 다른 편의 전극과 제2의 전원전위 노우드와의 사이에 접속되고, 게이트에 제어신호가 입력되는 적어도 하나의 제어용 트랜지스터를 가지는 것이 바람직하다.

또, 상기 제어용 트랜지스터는, 상기 제1의 신호용 트랜지스터와 제2의 전원전위와의 사이에 접속되는 제1의 제어용 트랜지스터와, 상기 제2의 신호용 트랜지스터와 제2의 전원전위와의 사이에 접속되는 제2의 제어용 트랜지스터로 이루어지는 것이 바람직하다.

또, 상기 제어용 트랜지스터는, 상기 제1 및 제2의 신호용 트랜지스터의 소오스 상호 접속점과 상기 제2의 전원전위와의 사이에 접속되는 것이 바람직하다.

또, 상기 검출타이밍 제어수단은 상기 제1의 신호선 및 제2의 신호선의 각 노우드를 소정전위에 설정하는 노우드전위 설정수단인 것이 바람직하다.

또, 상기 노우드전위 설정수단은, 프리차아지수단인 것이 바람직하다.

또, 상기 다이내믹 센스앰프로서, 더욱, 검출개시전압과 상기 제1 및 제2의 신호선에 미리 동시에 설정되는 전압과의 차를 상대적으로 크게 잡는 검출개시 레벨설정수단을 가지는 것이 바람직하다.

또, 상기 검출개시 레벨설정수단이, 상기 전류구동형 래치회로와 상기 제1의 전원전위 노우드와의 사이에 설치되는 제1도전형의 MOS 트랜지스터 또는 제2도전형의 MOS 트랜지스터인 것이 바람직하다.

또, 상기 검출타이밍 제어수단이, 제1 및 제2의 스위치용 트랜지스터와, 이 제1의 스위치용 트랜지스터의 게이트전극과 상기 제1의 신호선과의 사이에 개재하는 적어도 하나의 제1의 인버터와, 상기 제2의 스위치용 트랜지스터의 게이트전극과, 상기 제2의 신호선과의 사이에 개재하는 적어도 하나의 제2의 인버터를 구비하는 것이 바람직하다.

또, 상기 검출타이밍 제어수단이, 적어도 1개의 인버터인 것이 바람직하다.

[실시예]아래에 본 발명을 더 상세하게 설명한다.

먼저, 제1도 내지 제7도를 참조하여, 본 발명의 제1의 상태의 부호화 회로에 대하여 상세히 설명한다.

본 발명의 제1의 상태의 부호화 회로는, 일치검색시에 연상 메모리 장치를 구성하는 연상 메모리블록에 검색데이터가 입력되면, 복수의 연상 메모리 서브블록이 첫번째로부터 차례로 일치검색이 행하여 진다. 이때, 각 연상 메모리 서브블록마다 그 결과, 즉 복수의 연상 메모리 워드에 상기 검색 데이터와 일치하는 일치신호(비트신호)가 유지됨과 동시에, 우선순위 부착 서브블록 부호화 회로에 의하여 가장 우선순위가 높은 연상 메모리 서브블록이 선택되고, 그 비트신호가 우선순위부착 부호화 회로에 전송되고, 이 비트신호를 이 우선순위부착 부호화 회로는 부호화하고, 비트어드레스를 출력한다.

한편, 이 비트신호의 부호화중에, 상기 우선순위부착 서브블록 부호화 회로에 의하여 선택된 다음의 우선 순위의 연상 메모리 서브블록의 비트신호는, 선편독 버퍼회로에 입력된다. 그리고, 상기 우선순위부착 부호화 회로에서는 앞의 우선순위 연상 메모리 서브블록이 비트신호의 부호화가 종료한 후, 곧, 선편독 버퍼회로에 입력되어 있는 다음의 우선순위의 연상 메모리 서브블록의 비트신호의 부호화가 개시한다.

이 뒤에, 공간이 생긴 상기 선편독 버퍼회로에 다시 다음의 우선순위의 연상 메모리 서브블록의 비트신호를 선편독 버퍼회로로 선편독한다. 이들 순서를 차례로 되풀이 하여서, 상기 연상 메모리블록 전체의 비트신호의 부호화, 즉 어드레스 출력을 행한다.

본 발명의 부호화 회로에 의하면, 상술한 바와 같이, 다음에 부호화 할 연상 메모리 서브블록의 비트신호가, 앞의 연상 메모리 서브블록의 비트신호의 부호화중에 선편독 버퍼회로에 입력되어 있으므로, 상기 비트 신호를 연상 메모리 서브블록으로부터 우선순위부착 부호화 회로까지 전송하는 시간을 부호화 기간 외에 잡을 필요가 없으므로, 연상 메모리블록 전체, 나아가서는 연상 메모리 전체의 부호화 시간을 단축할 수 있고, 연상 메모리의 일치검색동작을 고속화 할 수 있다.

아래에, 본 발명의 제1의 상태에 관련된 부호화 회로를 첨부한 도면에 나타난 알맞은 실시예에 의거하여 상세히 설명한다.

제1도는, 본 발명의 제1의 상태의 부호화 회로가 적용된 연상 메모리블록의 1실시예의 개략도이다. 동 도면에 도시한 바와 같이 본 발명의 부호화 회로(10)는, 선편독 버퍼회로 부착 우선순위부착 부호화 회로(이하, 메인 프라이어티 엔코더 또는 메인 엔코더라고 함)(12)와, 우선순위부착 서브블록 부호화 회로(14)(이하, 서브블록 프라이어티 엔코더 또는 서브블록 엔코더라고 함)를 가지며, 메인 엔코더(12)는, 프리패치 회로(선편독 버퍼회로)(16)와, 플래그 레지스터회로(또는 데이터 래치회로)(18)와, 프라이어티회로(20)와, 엔코드회로(22)를 가지고, 서브블록 엔코더(14)는, 래치회로(24)와, 프라이어티회로(26)와, 엔코드회로(28)를

가진다.

메인 엔코더(12)는, 연상 메모리블록(이하, 메모리블록이라고 함)(30)에 대하여 설치된다. 연상 메모리블록(30)은 복수(도시에에서는 n 개)의 연상 메모리 서브블록(이하, 서브블록이라고 함)(32)(B_1, B_2, \dots, B_n)으로 이루어지고, 서브블록(32)는, 소정수의 CAM 메모리셀이 어레이형상으로 배열된, 즉 소정워드 길이의 복수(도시에에서는 $m+1$ 개)의 연상 메모리워드(이하, 워드라고 함)(34)(W_0, W_1, \dots, W_m)로 구성되는 서브어레이(CAM셀 서브어레이)부와, 각 워드(34)에 있어서의 검색데이터와의 일치검색결과, 예컨대, 일치 1신호(비트신호) 또는 불일치 0 신호를 각 워드(34)마다 유지하는 레지스터(36)(R_1, R_2, \dots, R_m)를 가지고, 또 상기 각 워드(34)의 일치검색결과(이하, 플래그 데이터 또는 비트신호 데이터라고 함)의 OR(논리화)을 갖는 OR회로를 가지며, 이 OR 회로의 출력은, 후술하는 서브블록 엔코더(14)의 래치 회로(24)에 각 서브블록마다 유지된다.

제2도에 메인 엔코더(12)의 1실시예의 구성도를 나타낸다.

동 도면에서, 메인 엔코더(12)의 프리패치회로(선판독 버퍼회로)(16)는, 메인 엔코더(12)의 프라이어티회로(20) 및 엔코드회로(22)가, 보다 우선순위가 높은 서브블록(32)의 플래그 데이터중의 비트신호를 소정의 우선순위(워드)에 따라서 일치워드(34)의 어드레스를 부호화(엔코드)하고 있는 동안에, 다음의 우선순위의 서브블록(32)의 레지스터(36)에 유지되고 있는 비트신호 데이터를 각 워드(34)(W_0, W_1, \dots, W_m)마다 입력하여 두기 위한 것이고, $m+1$ 개의 0 또는 1의 비트 데이터를 일시적으로 유지가능한 것이면 무엇이든 좋고, 데이터 래치 회로나 데이터 레지스터 등으로 좋다.

선판독 버퍼회로(16)는, 메인 엔코더(12)의 엔코드 출력(엔코드 어드레스 출력)에 의하여, 래치홀드하고 있던 각 워드(34)의 비트신호 데이터를 데이터 래치회로(18)에 패러럴 출력한 후, 이 비트신호 데이터가 메인 엔코더(12)에 의하여 부호화되고 있는 사이에 서브블록 엔코더(14)에 의하여 선택된 다음의 우선순위의 서브블록(32)의 비트신호 데이터를 각 워드(34)마다 각각 도입한다.

데이터 래치회로(18)는, 선판독 버퍼회로(16)와 마찬가지로 $m+1$ 개의 1비트 데이터를 래치 홀드하기 위한 것으로서, 각 워드(34)(W_0, W_1, \dots, W_m)의 비트신호 데이터, 특히 복수의 비트신호를 갖는 비트신호 데이터로부터 소정의 우선순위에 따라서, 프라이어티회로(20)가 하나의 워드 어드레스만에 비트신호(1)를 갖는 데이터를 골라내고, 이것을 엔코드회로(22)가 부호화하는 것을 되풀이하고, 모든 비트신호(1)가 부호화되기까지의 사이에 상기 비트신호 데이터를 유지하여 두기 위한 것이다. 이 데이터 래치회로(18)는, 우선순위가 높은 워드 어드레스의 비트신호(1)가 부호화될 때마다 이 워드 어드레스의 비트신호(1)는 리셋되도록

구성된다. 플래그 레지스터회로(18)는, 1비트 데이터를 일시적으로 유지가능한 것이면 무엇이든 좋고, 이와 같이 데이터 래치회로로 구성하여도 좋으며, 데이터 레지스터 등으로 구성하여도 좋다.

프라이어티회로(20)는, 제2도에 도시한 바와 같이 복수의 비트신호를 갖는 비트신호 데이터가 입력되었을 때, 즉 복수의 일치신호를 갖는 전워드(34)의 $m+1$ 개의 입력신호를 받아서, 오직 하나의 비트신호가 소정의 프라이어티(우선순위)가 부착되어서 포함되는 출력신호를 소정의 우선순위에 따라서 차례로 출력하는 것으로서, $m+1$ 개의 프라이어티회로요소(40)($40_0, 40_1, \dots, 40_m$)를 포함한다. 여기서 하나의 프라이어티회로요소(이하, 회로요소라고 함)(40)는, 제2회로요소(40_1)를 대표예로 하여서 설명하면, 입력단자(I_1)에 입력되는 입력신호를 반전하는 인버터(42), 인버터(42)의 출력과 그 게이트전극과 접속되고, 입력신호에 의하여 서로 배타적(역)으로 제어되는 N채널 MOS 트랜지스터(44)(N_1) 및 P채널 MOS 트랜지스터(46)(P_1)와 NMOS 트랜지스터(44)의 소오스전극 및 드레인전극과를 입력으로 하고, 출력단자(O_1)를 출력으로 하는 논리연산회로(48)를 가진다.

여기서, NMOS 트랜지스터(N_1)의 한편의 전극(예컨대, 소오스전극)은 노우드(Q_0)에서 상위회로요소(40_0)의 NMOS 트랜지스터(N_0)의 다른편의 전극(예컨대, 드레인전극)에 접속되고, NMOS 트랜지스터(N_1)의 다른편의 전극(예컨대, 드레인전극)은, 노우드(Q_1)에서 하위회로요소(40_2)의 MOS 트랜지스터(N_2)의 한편의 전극(예컨대, 소오스전극)에 접속된다.

이리하여, NMOS 트랜지스터(N_0), (N_1), (N_2), ..., (N_m)는 노우드(Q_0), (Q_1), (Q_2), ..., (Q_{m-1})에 의하여 시리얼로 접속된다. NMOS 트랜지스터(N

m)의 아래쪽의 노우드(Q_m)는 OR 출력단자(or)에 접속되고, 이 OR 출력단자(or)는 선편독 버퍼회로(16)의 각 회로에 인버터(49)를 개재하여 접속된다. 또, 최상단위 NMOS 트랜지스터(N_0)의 위쪽·(한편)의 전극(예컨대, 소오스전극)은 0을 나타내는 전위(신호상태)에 고정, 혹은 접지된다. 한편, PMOS 트랜지스터(P

0), (P_1), (P_2), ..., (P_m)의 한편의 전극(예컨대, 소오스전극)은 1을 나타내는 전위(신호상태)에 고정되든가, 또는 전원(V_{pp})에 접지되고, 다른편의 전극(예컨대, 소오스전극)은 1을 나타내는 전위(신호상태)에 고정되든가, 또는 전원(V_{pp})에 접지되고, 다른편의 전극(예컨대, 드레인전극)은, 각각 또는 (Q_0), (Q_1), (Q_2), ..., (Q_m)에 접속된다. 여기서, 이 NMOS 트랜지스터간의 전극(소오스전극과 드레인전극)의 접속의 방향은, NMOS 트랜지스터(N

0), (N_1), (N_2), ..., (N_m)가 시리얼 접속할 수 있으면 반대방향이라도 좋다. PMOS 트랜지스터(P_0)~(P_m)에 대하여도 마찬가지이다. 이와 같이 하여서 $m+1$ 입력, $m+1$ 출력의 프라이어

터회로(20)는 구성된다.

다음에, 이 프라이어티회로(20)의 프라이어티(우선순위)부착동작, 즉, 복수의 비트신호(일치신호) 1이 (I_0)~(I_m)으로부터 입력되더라도, 가장 우선도가 높은 어드레스만이 일치신호 1인 우선도부착 출력동작에 대하여 설명한다. 이 유니트회로(20)의 회로요소(40₁)에 주목하면, I_1 입력이 1이면, N_1 트랜지스터(44)가 OFF하고, P_1 트랜지스터(46)가 ON한다. 따라서 이 P_1 트랜지스터(46)에 의하여 Q_1 노우드는 1로 설정한다. I_1 입력이 0이면 N_1 트랜지스터(44)가 ON하고, P_1 트랜지스터(46)는 OFF한다. 따라서 Q_1 노우드는 하나 위의 Q_0 노우드의 논리치와 같아진다.

만약, I_k 입력이 1이면, Q_k 가 1로 되므로, 그 이후의 Q_n ($J > k+1$)은 I_j 가 1이든 0이든 1로 밖에 될 수 없다. 즉, $I_{k+1}=1$ 이면, 노우드(Q_{k+1})의 신호상태는 1, 한편 $I_{k+1}=0$ 이면 $Q_{k+1}=Q_k$ 이고, $Q_k=1$ 에서 $Q_{k+1}=1$ 로 된다.

이 결과, 제2도에서, 복수의 I 입력이 1이고, 그에 대응하는 실리얼접속 NMOS 트랜지스터(44)(N)가 OFF하고 있을 때에, 맨 위쪽에 있는 NMOS 트랜지스터(44)까지는 전반(傳搬)제어신호인 0이 전달되지만, 그보다 아래쪽의 각 Q 노우드에는 전반제어신호 0이 전달되지 않고, 모두 1로 된다. 따라서, 제어신호 0이 어디까지 전달되고 있는가를 논리연산회로(48)로 검출하면 된다. 이 프라이어티회로(20)의 $I_0 \sim I_m$ 의 $m+1$ 입력이 모두 0으로 되면 제어신호 0이 Q_m 노우드까지, 따라서 OR 출력단자(or)에까지 전달되고, 전 $m+1$ 입력신호에 1이 없는 것이 되고, 이 서브블록의 비트신호 데이터의 전 비트신호의 프라이어티 부착이 종료한 것으로 된다.

이리하여, 선(先)판독 버퍼회로(16)에 래치홀드되어 있는 다음의 우선순위의 비트신호 데이터를 데이터 래치회로(18)에 입력가능케 하고, 그 후 서브블록 엔코더(14)에 의하여 선택된 다음 다음의 우선순위의 비트신호 데이터의 선편독 버퍼회로(16)로의 판독입력이 가능한 것을 알린다.

여기서, 제2도에 도시한 논리연산회로(48)는, 시리얼접속되는 NMOS 트랜지스터(44)(N_1)의 드레인-소오스간의 신호상태, 즉 노우드(Q_0)와 노우드(Q_1)과의 사이의 논리치의 배타적 논리화(엑스클러시브 OR : Exclusive OR)를 갖는 엑스클러시브 OR 게이트(Exclusive OR 게이트 : 반일치회로)(48a)로 구성된다. 이 논리연산회로(48)에서는, 노우드(Q_0)와 노우드(Q_1)가 불일치, 즉, 회로요소(40₁)의 NMOS 트랜지스터(44)(N_1)의 노우드(Q_0)까지의 전반제어신호 0이 전반되어 있지만, 노우드(Q_1)까지는 전반제어신호 0이 전반되어 있지 않은 경우, 엑스클러시브 OR 게이트(48a)가 1을 출력한다. 노우드(Q_0)와 노우드(Q_1)가 일치(0)이면 출력단자(O_1)의 출력은 0이다.

논리연산회로(48)는, 제2도에 도시한 예에 한정되지 않고, 여러가지 게이트를 조합하여서, 바라는 논리연산을 하도록 구성하면 된다. 또, 논리연산회로(48)의 입력은, 노우드(Q_0)와 노우드(Q_1)와의 사이에 한정되지 않고, 이 어느 한편과 입력신호 또는 그 반전치라도 좋고, 그 논리연산의 내용도, 신호치에 따라 적당히 선택하면 된다.

다음에, 복수의 비트신호를 갖는 입력신호(I)로부터의 하나의 비트신호를 갖는, 가장 우선도가 높은 우선순위의 출력신호(O)가 출력되었을 때에, 다음으로 우선순위가 높은 비트신호의 어드레스가 동일한 서브블록(32)에 있을 경우에는, 최고 우선순위 출력신호를 사용하여 입력쪽을 리세트해 주면 된다. 즉, 예컨대, 제2도에 도시한 프라이어티회로(20)에서, $I_0=0$, $I_2=1$ 이었다고 하면, 노우드 $Q_0=0$, 노우드 $Q_1=Q_2=\dots Q_m=1$ 로 되므로, 출력 $O_1=1$ 로 되고, 출력 $O_0=O_2=\dots O_m=0$ 으로 된다. 이 Q_1 출력치에 의하여 데이터 래치회로(18), (18₁)를 리세트 해주면, $I_1=0$, 따라서, N트랜지스터(44)(N₁)는 ON, P트랜지스터(46)(P₁)는 OFF로 되어서 노우드($Q_1=Q_0=0$, 여기서, N트랜지스터(N₂)는 OFF되고 있다고 하면 노우드 $Q_0=Q_1=0$, 노우드 $Q_2=\dots Q_m=1$ 로 되고, 다음의 우선도의 $I_2=1$ 이 다음의 출력신호로서 선택되게 된다.

이리하여, 한 번에 메인 엔코더(12)에 입력된 동일 서브블록(32)의 비트신호 데이터중의 복수의 비트신호가, 미리 정하여진 우선순위에 따라서, 하나의 비트신호만을 갖는 출력신호로서 프라이어티회로(20)에 의하여 차례로 엔코드회로(22)에 출력됨과 동시에, 1 출력에 대응하는 워드 어드레스의 데이터 래치회로(18)로의 리세트신호가 주어지고, 데이터 래치회로(18)에 래치홀드되어 있던 비트신호(1)을 차례로 리세트하여 간다. 이리하여, 최후의 비트신호가 프라이어티 부착되고, 엔코드회로(22)에 출력됨과 동시에 리세트되면, 도면중 최하단의 노우드(Q_m)에는 데이터 0이 전달되고, OR 출력단자(or)로부터 출력되고, 인버터(49)에서 반전되고, 그 반전치 1이 데이터 래치회로(18)의 전회로에 입력되고, 선편독 버퍼회로(16)에 래치홀드되어 있던 다음의 우선순위의 서브블록(32)의 비트신호 데이터가 데이터 래치회로(18)의 각각 대응하는 회로에 입력(시프트)되어서 유지된다. 또한, 비어있는 선편독 버퍼회로(16)에는, 미리 서브블록 엔코더(14)에 의하여 선택되어 있던 다음 다음의 우선순위의 서브블록(32)의 비트신호 데이터가 레지스터(36)로부터 판독 입력되고, 래치홀드된다. 이리하여, 프라이어티회로(20)는 앞의 우선순위의 서브블록의 비트신호 데이터의 처리를 종료하고 나서, 다음의 우선순위의 서브블록의 비트신호 데이터가 그 서브블록(32)의 레지스터(36)로부터 전송되어 오는 동안, 대기할 필요가 없으므로, 엔코드를 효율 좋게 행할 수 있다.

엔코드회로(20)는, 프라이어티회로(18)로부터 차례로 출력되는 출력신호에 오직 하나 존재하는 일치신호의 어드레스를 코드화하기 위한 것으로서, 각 워드(34)($W_0, W_1, W_2, \dots, W_m$)에 대응하는 출력단자($Q_0, (Q_1), (Q_2), \dots, (Q_m)$ 각각의 워드 어드레스를 부호화하기 위한 것으로서, $m+1 < 2_L$ 로 되는 최소의 자연수 L에 대하여, L비트의 코드화를 하기 위한 L개의 어드

레스선(50), (50_0 , 50_1 , 50_2 , ..., 50_{L-1})과, 각각의 어드레스선(50)에 부착되고, 그 게이트전극의 각 출력단자(O_0), (O_1), (O_2), ..., (O_m)로부터의 출력선에 접속되는 접지트랜지스터(52)로 이루어진다. 여기서, L 개의 모든 어드레스선(50_0), (50_1), (50_2), ..., (50_{L-1})은 한끝단쪽에 각각 저항(r_0), (r_1), (r_2), ..., (r_{L-1})을 개재하여 전원에 접속되고(또는 1 전위로 고정되고), $A_{L-1} \dots A_2$, A_1 , A_0 의 L 비트의 코드출력을 얻을 수 있도록 트랜지스터(52)가 부착된다.

즉, 예컨대 출력단자(O_0)으로부터 출력선은 L 개의 모든 어드레스선($50_0 \sim 50_{L-1}$)에 접속되는 L 개의 접지트랜지스터(52)의 모든 게이트전극에 접속된다. 여기서, 예컨대 출력단자(O_0)의 출력이 1(일치신호)이고, 나머지는 모든 0일 때, $A_{L-1} = \dots = A_2 = A_1 = A_0 = 0$ 로 되어서, ($A_{L-1} \dots A_2$, A_1 , A_0) = (0...0, 0, 0)을 나타낸다. 다음에, 두번째 및 세번째의 워드 어드레스(W_1), (W_2)에 대응하는 출력단자(O_1) 및 (O_2)의 출력선은, 각각 어드레스선(50_0) 및 (50_1)을 제외한 $L-2$ 개의 어드레스선($50_1 \sim 50_{L-1}$) 및 (50_0), ($50_2 \sim 50_{L-1}$)에 접속되는 $L-2$ 개의 접지트랜지스터(52)의 게이트전극에 접속되고, 출력단자(O_1) 및 (O_2)만이 1로 된 때, 각각 ($A_{L-1} \dots A_2$, A_1 , A_0) = (0...0, 0, 0) 및 (0...0, 1, 0)을 나타낸다. 이하 마찬가지로 해서 각각의 코드 어드레스를 나타내도록 접지트랜지스터(52)가 각 어드레스선(50)에 접속된다. 예컨대, $m+1=2_L$ 인 때, 최후의 출력단자의 (O_m)출력선은, 어드레스선(50_{L-1})에 부착되는 접지트랜지스터(52)의 게이트에만 접속되고, 출력단자(O_m)만 1일 때, ($A_{L-1} \dots A_2$, A_1 , A_0) = (01...1, 1, 1)(최초의 L 자리째가 0이고 나머지의 $L-1$ 자리가 모두 1)을 나타낸다. 그리고, 모든 출력단자(O_0), (O_1), (O_2), ..., (O_m)가 0인때, ($A_{L-1} \dots A_2$, A_1 , A_0) = (1...1, 1, 1)(전부 1)을 나타낸다. 엔코드회로(22)는 기본적으로 이상과 같이 구성된다. 여기서 엔코드회로(22)는, 특히 도시한 것에 한정되지 않고, 하나의 워드 어드레스에서만 1 출력을 갖는 입력신호를 받아서, 1출력의 어드레스를 부호화(코드화)하여 출력할 수 있는 것이면, 특히 한정은 없고, 종래 공지的事物도 사용할 수 있다. 메인 엔코더(12)는 기본적으로는 이상과 같이 구성된다.

다음에, 제3도에 서브블록 엔코더(14)의 1실시예의 블록도를 도시한다. 또한, 동 도면에 도시한 데이터 래치회로(24), 프라이어티회로(26) 및 엔코드회로(28)는, 각각 구성하는 유니트의 수가 n 개에 대하여 $m+1$ 개인 점을 제외하고, 기본적으로는 제2도에 도시한 데이터 래치회로(18), 프라이어티회로(20) 및 엔코드회로(22)의 구성과 마찬가지로 구성을 나타내는 것이므로, 상세한 회로구성은 생략한다. 여기서, 서브블록 엔코더(14)에서는, 연상 메모리 서브블록(3_2)(B_1), (B_2), ..., (B_n)마다 행하여지는 일치검색시에, 각 메모리 서브블록(3_2)에 있어서의 일치검색결과, 즉 비트신호 데이터가 레지스터(36)에 유지됨과 동시에, 서브블록(3_2)내의 도시하지 않은 OR회로 등에 의하여, 서브블록(3_2)내에 검색 데이터와 일치를 나타낸 워드(34)(비트워드, 또는 매치워드)가 존재하는가의 여부를 나타내는 서브블록 비트신호를 발생시키고, 이것을 대응하는 서브블록(3_2)의 데이터 래치회로(24)에 유지시킨다. 이렇게 해서, 차례차례로 서브블록(3_2)의 일치검색이 순서를 따라 행해지고, 그 서브블록(3_2)의 레지스터(36)에 비트신호 데이터가 유지되는 것에 따라서, 블록비트신호가 데이터 래치회로(24)에

래치홀드되어간다.

한편, 이 서브블록 엔코더(14)의 프라이어티회로(26)에서는, 소정의 우선순위에 따라서, 도시에에서는 좌측으로부터 우측을 향하여, 데이터 래치회로(24)에 래치홀드된 블록비트신호가 비트신호(1)인 서브블록(32)을 선택하고, 그 블록 어드레스에만 1을 갖는 프라이어티 부작 출력신호를 출력한다. 이 출력신호는, 후단의 엔코더회로(28)에 의하여 부호화되고 엔코더 출력됨과 동시에, 당해 서브블록(32)의 제어부에 되돌려지고, 제어부내의 게이트회로(54)를 온하여 레지스터(36)내의 비트신호 데이터를 메인 엔코더(12)의 선편독 버퍼회로(16)가 빈 상태로 된 후에 입력한다. 이와 같이 하여서, 서브블록 엔코더(14)는 소정의 우선순위에 따라서, 다음에 부호화할 우선순위의 서브블록(32)을 선택하고, 메인 엔코더(12)가 앞에 우선순위의 서브블록(32)의 비트신호 데이터로부터 비트신호의 워드 어드레스가 부호화하고 있는 사이에, 비게 된 선편독 버퍼회로(16)에 다음의 우선순위의 서브블록(32)의 비트신호 데이터를 전송하고, 래치홀드시켜 둔다.

여기서, 본 발명의 부호화 회로(10)는, 서브블록 엔코더(14)의 엔코더회로(28)로부터의 부호화된 블록 어드레스 출력과 메인 엔코더(12)의 엔코더회로(22)로부터의 부호화된 워드 어드레스 출력과를 양편 합쳐서 부호화 논리 어드레스로서 차례로 출력하여간다.

그리고, 최종 서브블록(32) 또는 최저 우선순위의 서브블록(32)이 선택되면, 서브블록 엔코더(14)의 처리는 종료하고, 메인 엔코더에 의한 전비트신호의 부호화가 끝나면, 부호화 회로(10)는, 모든 연상 메모리 서브블록(30)의 모든 메모리 워드(34)의 비트신호를 논리 어드레스로서 출력하고, 일치검색동작을 종료한다.

또한, 본 발명의 부호화 회로(10)는, 복수의 연상 메모리 서브블록(32)을 가진 연상 메모리 블록(30)에 대하여, 하나의 메인 엔코더(12)와 하나의 서브블록 엔코더(14)와를 설치한 예를 제시하고 있으나, 본 발명은 이에 한정되지 않고, 제29도에 도시한 연상 메모리(200)에 적용되는 종래의 부호화 회로(210)와 마찬가지로 복수의 연상 메모리 블록(30)에 대하여 하나의 서브블록 엔코더(14)를 설치하는 구성이라도 좋다.

다음에, 본 발명의 부호화 회로(10)에 사용되는 선편독 버퍼회로(16)의 구체적 회로구성 및 그 동작에 필요한 각 서브블록(32)의 제어를 위한 스위치회로(160) 및 프리차이지회로(162)를 제4도에 도시한다.

동 도면에 도시한 바와 같이 스위치회로는, 서브블록(32)(B_1)의 레지스터(36)(R_0)에 접속되는 하나(S_0)를 대표예로서 설명하면, 2개의 NMOS 트랜지스터(163), (164)를 직렬로 접속하여 구성된다. 각 스위치회로(160)(S_0, S_1, \dots, S_m)의 한편의 트랜지스터(163)의 전극(예컨대,

드레인전극)은 각각 대응하는 입력선(165)(L_0, L_1, \dots, L_m)에 각 서브블록(32)(B_1, B_2, \dots, B_m)마다 병렬로 결선되고, 검출선(L)은 선판독 버퍼회로(16)에 접속된다. 각 스위치회로(160)(S_0, S_1, \dots, S_m)의 트랜지스터(163)의 게이트전극은 각 서브블록 X(32)내에 있어서 블록선택선(167)에 병렬로 AND 회로(166)에 접속된다. 또, 각 스위치회로(160)(S_0, S_1, \dots, S_m)의 다른편의 트랜지스터(164)의 게이트전극은 각각 대응하는 레지스터(36)의 (R_0, R_1, \dots, R_m)의 출력단에 접속되고, 이 트랜지스터(164)의 다른편의 전극(예컨대, 소오스전극)은 접지된다. 또, 프리차아지회로(162)는, 각 입력선(165)(L_0, L_1, \dots, L_m)의 전위를 소정전위(예컨대, 전원전위)에 프리차아지하는 프리차아지 트랜지스터인 PMOS 트랜지스터(168)(PC_0, PC_1, \dots, PC_m)로 이루어지고, 각 PMOS(168)(PC_0, PC_1, \dots, PC_m)의 한편의 전극은 소정전위원(전원)에, 다른편의 전극은 각 입력선(165)(L_0, L_1, \dots, L_m)에 게이트전극은 프리차아지신호선(169)에 접속된다.

선판독 버퍼회로(16)는, 서로 반대방향으로 병렬 접속되는 2개의 인버터(170) 및 (172)와, 인버터(170) 및 (172)의 출력상태를 제어하기 위한 콘트롤신호를 입력하기 위한 래치신호선(174) 및 (175)로 구성되는 (m+1)개의 데이터 래치회로를 가진다. 병렬접속 인버터(170) 및 (172)의 입력측단은 대응하는 입력선(165)(L_1)에, 출력측단은 데이터 래치회로(18)의 대응하는 회로요소에 접속된다. 또, 래치신호선(174)은 인버터(170)의 콘트롤신호단자 및 인버터(172)의 반전콘트롤신호단자에 접속되고, 래치신호선(175)은 인버터(172)의 콘트롤신호단자 및 인버터(170)의 반전콘트롤신호단자에 접속된다.

또, AND 회로(166)의 한편의 입력단자는, 서브블록 엔코더(14)의 데이터 래치회로(24)(혹은 프라이머티회로(26))의 대응하는 회로요소에 접속되고, 다른편의 입력단자는, 블록선택선(167)의 선택타이밍을 제어하는 제어신호선(176)에 접속된다. 제어신호선(176), 프리차아지신호선(169), 래치신호선(174) 및 (175)는, 각 회로의 동작타이밍을 제어하는 타이밍 제어회로에 접속된다.

다음에, 선판독 버퍼회로(16)의 프리패치(선판독)동작에 대하여 설명한다.

먼저, 프리차아지신호선(169)을 L로하여 PMOS(168)(PC_0, PC_1, \dots, PC_m)를 모두 온하고, 선판독 버퍼회로(16)의 (m+1)개의 입력선(L_0, L_1, \dots, L_m)을 소정전위에 프리차아지한다.

다음에 타이밍 제어회로(178)에 의하여 프리차아지신호선(169)을 H로하여 (m+1)개의 PMOS(168)를 오프로 함과 동시에, 제어선(176)을 1(H)로 하여서 서브블록 엔코더(14)의 데이터 래치회로(24)에 블록비트신호 1이 래치홀드되어 있는 다음의 우선순위(메인 엔코더(12)가 엔코드하고 있는 서브블록이 다음의 우선순위의 서브블록(32)(B_i)의 블록비트신호 1을 AND 회로(166)에 입력하여, 당해 서브블록(32)(B_i)의 블록선택선(167)을 온한다.

다음의 우선순위의 서브블록(32)(B_i)이 선택되어, 대응하는 AND 회로(166)에 의하여 블록선택선

(167)이 H(하이레벨)로 되면, 레지스터(136)중 비트신호(1)를 유지하고 있던 레지스터(36)(R_i)에 그 게이트전극이 접속된 트랜지스터(164) 및 이것에 접속된 트랜지스터(163)는 온하고, 입력선(165)(L_i)을 접지하여, 이 입력선(165)(L_i)에 프리차아지되어 있던 전하를 빼내고, 그 전위를 저하시킨다.

한편, 유지 데이터가 0(불일치신호)인 레지스터(36)(R_j)에 그 게이트가 접속된 트랜지스터(164)는, 온하지 않고 오프한대로 이므로, 설사 블록선택선이 H로 되더라도, 대응하는 입력선(165)(L_j)의 전위는 변화하지 않고, 프리차아지전위를 유지시킨다.

이리하여, 선택된 서브블록(32)(B_i)의 격납 레지스터(36)(R_0, R_1, \dots, R_m)가 격납된 값(1 : 비트신호, 0 : 미스비트신호)에 따라서, 입력선(165)(L_0, L_1, \dots, L_m)의 전위가 변화하고, 극성이 반대극성이 된다.

여기서, 선편독 버퍼회로(16)의 래치신호선(174) 및 (175)에 래치신호를 주고, 선편독 버퍼회로(16)의 병렬접속 인버터(170) 및(172)에 래치시킨다.

여기서 인버터(170) 및 (172)의 입력측의 입력선은 레지스터(36)와 반대극성이지만, 출력측은 반전되므로 동극성으로 된다. 따라서, 메인 엔코더(12)의 맨앞의 서브블록(32)의 엔코드가 종료함과 동시에, 선편독 버퍼회로(16)에 래치되어 있던 다음의 서브블록(32)의 비트신호 데이터가 래치회로(18)에 입력된다. 이 뒤에, 선편독 버퍼회로(16)는 상술한 동작을 되풀이 하여서 다음 다음의 우선순위의 서브블록(32)의 격납 레지스터(36)의 비트신호 데이터를 프리패치한다.

본 발명의 부호화 회로(10)는 기본적으로 이상과 같이 구성된다.

본 발명의 우선순위부착 부호화 회로(10)는, 제2도 및 제3도에 도시한 프라이어티회로(20), (26) 및 엔코드회로(22), (28)로 이루어지는 것에 한정되지 않고, 종래, 공지의 프라이어티회로 및 엔코드회로를 사용하여도 좋으나, 프라이어티 부착 및 부호화 그 자체의 속도를 올리기 위하여, 제5도, 제6도, 제7도에 도시한 프라이어티회로(180) 및 엔코드회로(190)를 사용하는 것이라도 좋다. 물론, 프라이어티회로(180)를 제2도에 도시한 엔코드회로(22)와 조합해도 좋다.

제5도에 도시한 프라이어티회로(180)는, 3계층으로 이루어지고, 최하위의 계층은, 16개의 4입력의 소단위의 프라이어티회로(이하, 유니트회로라고 함)(182)로 이루어지고, 중간계층은 4개의 동일한 4입력이 소단위 프라이어티회로(184)로 이루어지고, 최상위의 계층은, 1개의 동일한 4입력 소단위 프라이어티회로(186)로 이루어진다.

따라서, 프라이어티회로(180)는, 최하위계층의 16개의 유니트회로(182)에 의하여 64의 입력력을 가질 수 있다.

즉, 이 프라이어티회로(180)의 64개의 입력은, 1그룹에 4개씩의 16그룹으로 그룹화되어 있게 된다. 그리고, 하나의 그룹의 4입력을 단위로 하는 소단위 프라이어티회로(182)가 구성되어, 16개 사용된다. 이 16개의 소단위 프라이어티회로(182)는, 각각 4개의 그룹으로 그룹화되고, 하나의 그룹은 4개의 유니트회로(182)로 이루어지고, 이 1그룹을 구성하는 4개의 유니트회로(182)는 중간계층을 구성하는 하나의 소단위 프라이어티회로(184)와 접속된다.

그리고, 이 4개의 유니트회로(184)는, 하나의 그룹으로 되어서 최상위계층의 소단위 프라이어티회로(186)에 접속된다.

제5도에 도시한 프라이어티회로(180)는, 64입력을 가지고, 4입력이 유니트회로(182), (184) 및 (186)을 구성단위로 하는 3계층구조를 가지고 있으나, 본 발명은, 이에 한정되지 않고, 입력수, 유니트회로의 소자수 및 계층수는 필요에 따라서 적당히 선택할 수 있으나, 전입력수와, 사용하는 유니트회로의 입력수에 따라서 계층구조를 적당히 선택하면 된다.

또, 각 계층을 구성하는 유니트회로(182), (184) 및 (186)는 동일한 입력수의 것을 사용하고 있으나, 본 발명은 이에 한정되지 않고, 다르더라도 좋다. 유니트회로의 입력수는 적은편이, 프라이어티의 변화속도를 올리는데는 좋으나, 너무 적으면, 필요한 유니트회로의 수가 많아지고, 필요한 계층도 증가하기 때문에, 또한 부수하는 소자나 주변회로가 증가하기 때문에 바람직하지 않다. 따라서, 본 발명에 있어서는, 모든 입력수와 각 계층에 사용할 수 있는 유니트회로의 입력수(1종류이거나 다종류이거나 좋다)를 선택하고, 이에 적합하도록 계층수를 정하고, 다계층의 구성으로 하면 좋다.

소단위 프라이어티회로(182)는, 제6도(a)에 도시한 바와 같이, 위쪽, 즉 상위가 우선도가 높아지도록 구성되고, 4개의 입력단위(I_0), (I_1), (I_2) 및 (I_3)와 4개의 출력단자(O_0), (O_1), (O_2) 및 (O_3)과, 인에이블신호 입력단자(e)와 논리화(OR) 출력단자(or)와, 4개의 프라이어티회로(188), (188₀, 188₁, 188₂ 및 188₃)를 가진다.

여기에 도시한 회로요소(188)는, 사용되는 논리연산회로(48)가, 인에이블신호 입력단자(e)를 가지고, 여기에서 입력되는 인에이블신호에 의하여 활성화되는 논리연산회로구성인 점을 제외하고, 제2도에 도시한 회로요소(40)와 전혀 동일한 구성을 가지고 있으므로 동일한 구성요소에는 동일한 번호를 붙이고, 그 설명은 생략한다.

제6도(a)에 도시한 논리연산회로(48)의 구체적 구성예를 제7도에 도시한다. 제7도에 도시한 논리연산회로(48)는, 익스클러시브 OR 게이트(48a)와, 이 익스클러시브 OR 게이트(48b)로 구성된다. 이 논리연산회로(48)는, 입력신호가 불일치, 즉 노우드(Q_{oi-1})와 노우드(Q_i)가 불일치일때, 익스클러시브 OR 게이트(48a)는 1을 출력하고, 동시에, 인에이블신호(e)가 1(액티브)이면, AND 게이트(48b)는 출력단자(Q_i)에 1을 출력하고, 입력신호가 일치 혹은 인에이블신호(e)가 0이면 출력단자(Q_i)의 출력은 0이다.

제6도(b) 및 (c)는, 각각 중간계층 및 최상위계층을 각각 구성하는 유니트회로(184) 및 (186)의 개략도이다.

동 도면에 도시한 유니트회로(184) 및 (186)은, 입출력신호단자에 입력되는 신호를 제외하면 제6도(a)에 도시한 최하위계층이 유니트회로(182)의 전혀 동일한 구성을 가지는 것이므로, 그 구성의 도시는 생략한다.

제6도(b)에 도시한 유니트회로(184)의 입력단자(or_0), (or_1), (or_2), (or_3)는 제5도에 도시한 최하위계층을 구성하는 4개의 유니트회로(182)의 각각의 OR 출력(or)이다. 이 유니트회로(184)의 출력(Out_k)($K=0, 1, 2, 3$)을 각각의 입력신호(or_k)에 대응하는 유니트회로(182_k)의 인에이블단자(e_k)에 접촉하면 $Out_k=1$ 로 되었을 때만, K번째의 회로(182_k)를 선택적으로 활성화할 수 있다. 따라서, 이 유니트회로(184)의 or 입력중에, 1이 있는가 없는가를 OR 출력에서 볼 수 있고, 이 OR 출력은 결국, 유니트회로(184)의 지배화에 복수의 유니트회로(182)의 모든 1 입력신호중에 1로 되어 있는 것이 있는가 어떤가를 나타내게 된다.

또한, 유니트회로(184)의 OR 출력을 입력으로 하는 또 하나의 상위계층의 유니트회로(186)를 제6도(c)에 도시하는데, 이 유니트회로(186)의 구성은 제6도(a) 및 (b)에 각각 도시한 유니트회로(182) 및 (184)와 전혀 동일한 구성으로 좋은 것은 상술한 바와 같다. 제6도(c)에 도시한 유니트회로(186)는, 중간계층을 구성하는 모든 4개의 유니트회로(184)의 OR 출력을 OR 입력 OR_k ($K=0, 1, 2, 3$) 입력으로 하는 것으로서, 이 OR 입력(OR_k)에 대응하는 출력($OUT_0, OUT_1, OUT_2, OUT_3$)은 중간계층의 전 4개의 유니트회로(184)의 각각의 인에이블신호로서 각각의 인에이블신호입력(E)에 입력된다.

이리하여, 이 유니트회로(186)의 OR 출력(OR_k)중에 1이 있는가 없는가를, 이 유니트회로(186)의 OR 출력(GOR)에서 볼 수 있다.

이 유니트회로(186)자신의 인에이블신호(ENB)는 OUT_k 가 모두 0 출력하기까지, 즉, OR 출력(GOR)이 0으로 되기까지 소정의 클럭신호가 별도 입력된다. 반대로, 유니트회로(186)의 출력(OUT

k)이 1을 출력하고 있는 동안은, 프라이어티(180)의 입력신호로부터 선택은 가장 우선도가 높은 어드레스에 유일한 1을 가지는 신호(이하, 우선도 부착 출력신호라고 함)의 출력이 종료하고 있지 않고, 1을 출력하는 어드레스에 해당하는 하위의 그룹에, 1(일치신호)을 갖는 소단위 프라이어티가 존재하고 있는 것을 나타낸다.

이상과 같은 구성의 소단위의 프라이어티(182), (184) 및 (186)을 사용하여, 이와 같이 계층적으로 프라이어티선택을 하는 프라이어티구성을 실현하면, 제2도에 도시한 프라이어티(20)와 같이 단계층으로 하여서 N트랜지스터(44)를 모두 시리얼에 연결하는 경우에 비하여 매우 고속화할 수 있다. 여기서 or 출력이나 OR 출력으로서는, 제6도에 도시한 바와 같이 프라이어티(182)의 최하위(아래쪽)의 회로요소(188₃)의 노우드(Q₃)의 신호상태(논리치)를 사용하는 것에서는, 논리화출력(OR 출력)을 얻기 위한 특별한 회로가 필요치않다고 하는 큰 이점이 있으나, 본 발명은 이것에 한정되는 것은 아니고, 더욱 고속화하기 위하여, 입력신호로부터 직접 OR 출력을 얻기 위하여, 통상의 OR 게이트등을 사용하여도 좋다.

이와 같은 or 출력이나 OR 출력으로 사용함으로써, 상이한 소단위 프라이어티(182)에 연속하는 우선순위의 비트신호가 존재하고 있었다 하더라도, 우선순위가 높은 비트신호가 우선도 부착 출력신호로서 출력되고, 이 출력신호 입력신호가 리셋되어서 그 OR 출력이 0으로 되기까지는, 설정 우선순위가 낮은 워드 어드레스의 비트신호가 있는 유니트회로(182)로부터 1 출력이 가능한 것이라도, 상위계층의 유니트회로(184)의 출력신호가 1 출력으로 되는 일은 없고, 따라서 유니트회로(182)의 인에이블신호도 1(즉, 액티브)로 되는 일은 없고 유니트회로(182)는 1 출력을 할 수 없다. 그러나, 앞의 우선순위의 유니트회로(182)의 OR 출력이 0으로 되면, 다음의 우선순위의 유니트회로(182)의 OR 출력은 1 출력이므로, 상위계층의 유니트회로(184)도 1 출력한다. 따라서 다음의 우선순위의 유니트회로(182)의 인에이블신호 1로 되고, 이 유니트회로(182)는 1 출력할 수 있다.

이와 같이 상이한 유니트회로(182) 사이에 비트신호가 걸려 있더라도, 재빠른 전환이 가능하다. 제5도에 도시한 프라이어티(180)는 64입력이므로, 어드레스의 코드변환에는 6비트가 필요하고, 6개의 어드레스선이 필요하게 된다.

제2도에 도시한 엔코드회로(22)와 같은 종래의 어드레스 엔코더를 사용할 경우는, 이 6개의 어드레스선과 최하위계층의 16개 프라이어티(182)의 각 4개의 출력선과, 즉, 전 64의 출력선과를 상술한 소정의 방법에 따라서, 접지 트랜지스터(52)를 개재하여 접속함으로써 6비트의 어드레스 엔코더를 구성할 수 있다. 이와 같이 제5도에 도시한 프라이어티(180)에는 종래의 엔코드회로도 적용가능하지만, 출력선과 어드레스선을 접속하는 접지트랜지스터의 수는 입력이 느는 만큼 증대한다.

이 때문에, 제5도에 도시한 엔코드회로(190)는, 상술한 3계층 구조의 프라이어티(180)의 각 계층마다 2비트를 코드화하는 어드레스 엔코더구성으로 하고 있다. 일치출력(비트신호)이 포함되어 있는 경우 우선도 부착 출력신호를 출력하지만, 이때, 프라이어티(180)는 각 계층을 구성하는 각 소단위 프라이어티(182), (184), (186)중, 각 계층마다 1H(하이)를 출력하는 출력단자가 하나씩 존재한다.

따라서, 최하위계층의 16개의 소단위 프라이어티(182)는 하위 2비트의 A_1 , A_0 을 결정하는 2개의 어드레스선(192₁), (192₀)에 접속된다. 중간계층 4개의 프라이어티(184)는 중간의 2비트의 A

3, A_2 를 결정하는 2개의 어드레스선(192₃), (192₂)에 접속된다. 최상위 계층 1개의 프라이어티(186)는 상위 2비트의 A_5 , A_4 를 결정하는 2개의 어드레스선(192₅), (192₄)에 접속된다.

여기서 각 계층에 있어서, 1개의 프라이어티와 2개의 어드레스선과의 접속은 동일하므로 대표적으로 최하위계층의 프라이어티(182₀)와 어드레스선(192₁), (192₀)과의 접속을 대표예를 설명한다. 프라이어티(182₀)의 제1출력선(O_0)은 어드레스선(192₁), (192₀)을 각각 접지(또는 0전위에 고정)하는 2개의 접지트랜지스터(52)의 게이트전극에 접속된다.

따라서, 제1출력선(O_0)의 출력만이 1 [$(O_0, O_1, O_2, O_3)=(1, 0, 0, 0)$]인 경우는 2개의 접지트랜지스터(52)는 온하고, A_0 , $A_1=0$ 으로 된다. 다음에 프라이어티(182₀)의 제2출력선(O_1)은 어드레스선(192₁)을 접지(또는 0 전위에 고정)하는 접지트랜지스터(52)의 게이트 전극에 접속된다. 이 때문에, 제2출력선(O_1)만이 1 [$(O_0, O_1, O_2, O_3)=(0, 1, 0, 0)$]인 경우에는 접지트랜지스터(52)가 온하고, $(A_1, A_0)=(0, 1)$ 로 된다. 또한 프라이어티(182₀)의 제3출력선(O_2)은, 어드레스선(192₀)을 접지(또는 0 전위에 고정)하는 접지트랜지스터(52)의 게이트전극에 접속된다. 따라서, 제3출력선(O_2)만이 1 [$(O_0, O_1, O_2, O_3)=(0, 0, 1, 0)$]인 경우에는 접지트랜지스터(52)가 온하고, $(A_1, A_0)=(1, 0)$ 으로 된다.

여기서, 제4출력선(O_3)만이 1 [$(O_0, O_1, O_2, O_3)=(0, 0, 0, 1)$]인 경우에는 $(A_1, A_0)=(1, 1)$ 로 된다.

이와 같은 접속을 각 계층마다 2개의 어드레스선에 대하여 각 프라이어티마다 행함으로써 엔코드회로(190)를 구성할 수 있다. 여기서, 어드레스 엔코더(190)에 있어서, 어드레스선(192₀~192₅)과 각 프라이어티(182), (184), (186)와의 접속에 사용되는 접지트랜지스터(52)의 수는 하나의 프라이어티에 대하여 4개이므로, 최하위계층에서는 64개, 중간계층에서 16개, 최상위계층에서 4개이고, 합계 84개로 좋은 것에 대하여, 제2도에 도시한 어드레스 엔

코더와 같이 6개의 어드레스선의 모두를 최하위계층의 16개의 프라이어티(20)에 접속하는 것에서는 192개가 필요하게 된다. 따라서 제5도에 도시한 엔코드회로(190)에서는 엔코드 동작이 고속화의 효과를 얻을 수 있다.

본 발명의 부호화 회로의 메인 엔코더 및 서브블록 엔코더를 구성하는 프라이어티로서, 제2도 및 제6도(a)에 도시한 바와 같은 N채널 트랜지스터를 시리얼접속하는 구성의 것을 대표 예로 들고, 이것을 사용하여 설명하였으나, 본 발명은 이것에 한정되지 않고, P채널 트랜지스터를 시리얼접속하는 구성의 프라이어티를 사용하여도 좋고, 또는 쌍방향의 프라이어티가 가능한 구성으로 하여도 좋고, 메인 엔코더에 선편독 버퍼회로가 설치되는 구성이면, 메인 엔코더 및 서브블록 엔코더로서는 종래 공지的事物도 사용가능하다.

이상, 본 발명에 관련된 부호화 회로를 여러 가지 상태를 들어서 설명하였는데, 본 발명은, 이것에 한정되는 것은 아니고, 메인 엔코더 및 서브블록 엔코더를 구성하는 선편독 버퍼회로, 데이터 래치회로, 프라이어티, 엔코드회로의 입력수나 구성등 본 발명의 요지를 일탈하지 않는 범위에 있어서 설계의 변경 및 여러 가지의 개략이 가능한 것은 물론이다.

이상 상술한 바와 같이, 본 발명의 제1의 상태의 부호화 회로에 의하면, 연상 메모리장치의 연상 메모리블록의 검색 데이터의 일치검색을 행할 때, 이 연상 메모리 블록을 구성하는 복수의 연상 메모리 서브블록중의 첫번째의 연상 메모리 서브블록의 일치검색 결과, 예를 들면 복수의 연상 메모리 워드에 상기 검색 데이터와 일치하는 일치신호(비트신호)가 예를 들면 레지스터등의 유지수단에 유지됨과 동시에, 상기 연상 메모리 서브블록에 상기 검색 데이터와 일치하는 연상 메모리 워드의 존재를 나타낸 블록 비트신호를 발생한다.

이어서 우선순위 부착 서브블록 부호화 회로가 이 블록 비트신호를 받아, 가장 우선순위가 높은 연상 메모리 서브블록을 선택하고, 서브블록 어드레스를 발생한다.

그리고, 이 선택된 최고 우선순위의 서브블록의 비트신호(전워드에 대해서 동시에)가 우선순위 부착 부호화 회로의 전송된다.

이후, 우선순위 부착 부호화 회로는, 소정의 우선순위로 상기 비트신호를 부호화하고, 워드 어드레스를 출력한다. 이 부호화중에 다음의 우선순위의 연상 메모리 서브블록을 상기 우선순위 부착 서브블록 부호화 회로에 의해 선택하고, 이 서브블록의 레지스터등의 유지수단에 유지되고 있는 비트신호 데이터를 상기 우선순위 부착 부호화 회로내에 설치되어 있는 선편독 버퍼회로에 입력한다.

이렇게 해서, 상기 우선순위 부착 부호화 회로는, 상기 비트신호의 부호화를 종료한 후, 즉

각, 먼저 선편독버퍼회로에 입력되어 있던 다음의 우선순위 서브블록의 비트신호 데이터의 부호화를 개시하여 부호화하고, 워드 어드레스를 출력한다.

이 워드 어드레스 출력과, 서브블록 어드레스출력을 합해서 논리 어드레스를 출력한다.

따라서, 본 상태에 의하면, 복수의 연상 메모리 서브블록으로 구성되는 연상 메모리 블록일 지라도, 복수의 연상 메모리 서브블록간의 교체에 시간지연(대기 시간)이 없고 다수의 연상 메모리 서브블록으로부터의 출력신호를 효율 좋게 부호화할 수가 있다.

이 결과, 대용량 데이터에 대한 고속처리를 필요로 하는 복수의 연상 메모리 서브블록으로 구성되는 연상메모리 블록으로 되는 대용량 연상 메모리 장치에도 적용할 수가 있다.

다음에, 제8도 내지 제11도를 참조하여 본 발명의 제2의 상태의 부호화 회로 및 제4의 상태의 반도체 집적회로에 대해서 상세히 설명한다.

여기서 제4의 상태의 반도체 집적회로는, 제2의 상태의 부호화 회로에 적용이 가능한 개수 검출회로이다.

본 발명의 제2의 상태의 부호화 회로는 일치검색시에 연상 메모리장치를 구성하는 연상 메모리블록에 검색 데이터가 입력되면, 복수의 연상 메모리 서브블록에 걸쳐서 일치검색이 행해진다.

이때, 각 연상 메모리 서브블록마다에 그 결과, 복수의 연상 메모리 워드에 상기 검색 데이터와 일치하는 일치신호(비트신호)를 포함한 플래그 데이터가 유지됨과 동시에, 우선순위 부착 서브블록 부호화 회로에 의해 가장 우선순위가 높은 연상 메모리 서브블록이 선택되고, 그 플래그 데이터가 우선순위 부착 메인 부호화 회로의 플래그 레지스터에 전송되어 유지된다.

이 플래그 레지스터내에 기억된 플래그 데이터중의 비트신호를 이 우선순위 부착 메인 부호화 회로는 소정의 우선순위의 따라 부호화하고 비트 어드레스를 출력한다.

한편, 이 플래그 데이터의 부호화중에 상기 우선순위 부착 서브블록 부호화 회로에 의해 선택된 다음의 우선순위의 연상 메모리 서브블록의 플래그 데이터는 프리패치회로(선편독 버퍼회로)에 입력된다.

그리고, 상기 우선순위 부착 메인 부호화 회로에서는 앞서의 우선순위의 연상 메모리 서브

블록의 플래그 데이터내의 비트신호가 순차적으로 부호화되고, 비트 어드레스가 출력됨에 따라서 플래그 레지스터내의 비트신호가 순차적으로 리셋되어 간다.

이때, 이 플래그 레지스터의 비트신호의 종료를 미리 검지하는 타이밍 검지제어회로수단에 의해 플래그 레지스터내에 유지되어 있는 비트신호의 개수를 검지한다.

예를 들면, 이 잔존하는 비트신호의 개수가 최후의 1개로 되었을 때, 이 비트신호의 부호화 종료를 기다리다가 즉각, 프리패치회로에 입력되어 있는 다음의 우선순위의 연상 메모리 서브블록의 플래그 데이터를 플래그 레지스터에 옮겨서, 이 플래그 데이터중의 비트신호의 부호화를 개시한다.

이후 비어 있는 상기 프리패치회로에 다시 다음 우선순위의 연상 메모리 서브블록의 플래그 데이터를 프리패치회로에 선편독한다.

이들 순서를 순차적으로 되풀이하여, 상기 연상 메모리 블록전체의 비트신호의 부호화, 즉 어드레스 출력을 한다.

본 발명의 부호화 회로에 의하면, 상술한 바와 같이, 다음에 부호화해야 할 연상 메모리 서브블록의 플래그 데이터중의 비트신호가 앞서의 연상 메모리 서브블록의 플래그 데이터의 비트신호의 부호화중에 프리패치회로가 입력되어 있으므로, 상기 비트신호를 연상 메모리 서브블록으로부터 우선순위 부착 메인 부호화 회로의 플래그 레지스터까지 전송할 시간을 없앨 수 있는 동시에, 플래그 레지스터내의 플래그 데이터의 최후의 비트신호의 부호화 개시직후에 비트신호가 최후의 1개로 된 것을 검출한다.

다음의 부호화 사이클에서는, 프리패치회로에 유지되어 있는 플래그 데이터를 플래그 레지스터에 이송하고, 이송된 플래그 데이터중의 비트신호의 부호화를 실시할 수 있으므로, 부호화 사이클에 로스가 생기는 일이 없기 때문에, 연상 메모리 블록전체 나아가서는 연상 메모리전체의 부호화 시간을 단축할 수가 있어서, 연상 메모리장치의 일치검색동작을 고속화 할 수가 있다.

이하에, 본 발명의 제2의 상태에 관계되는 부호화 회로 및 본 발명의 제4의 상태의 반도체 집적회로를 첨부 도면에 나타낸 알맞은 실시예에 의거하여 상세히 설명한다.

제8도는 본 발명의 제2의 상태의 부호화 회로가 적용된 연상 메모리 블록의 1 실시예의 개략도이다.

동 도면에 나타난 부호화 회로(11)는, 메인 엔코더(12)내에 본 발명의 제4의 상태의 반도체 집적회로가 적용된 타이밍 제어회로(60)를 가지며, 그 출력으로 플래그(flag) 레지스터(데이터 래치회로)(18)의 초기치 설정을 하는 점을 제외하고는 제1도에 나타난 부호화 회로와 기본적으로 동일한 구성을 가지고 있으므로, 동일한 구성요소에는 동일한 번호를 붙이고, 그 상세한 설명을 생략한다.

동 도면에 나타난 바와 같이 본 발명의 부호화 회로(11)는, 프리패치회로 부착 우선순위 부착 부호화 회로(이하, 메인 프라이어티 엔코더 혹은 메인 엔코더라고 함)(12)와 우선순위 부착 서브블록 부호화 회로(14)(이하 서브블록 프라이어티 엔코더 또는 서브블록 엔코더라고 함)을 가지며, 메인 엔코더(12)는, 프리패치회로(선판독 버퍼회로)(16)와 플래그 레지스터회로(18)와, 프라이어티회로(20)와, 엔코더회로(22)와, 타이밍 제어회로(60)를 가지며, 서브블록 엔코더(14)는 데이터 래치회로(24)와, 프라이어티회로(26)와, 엔코더회로(28)를 가진다.

제9도에 본 상태의 메인 엔코더(12)의 1 실시예의 구성도를 나타낸다.

동 도면에서, 메인 엔코더(12)의 프리패치회로(16)는 메인 엔코더(12)의 프라이어티회로(20) 및 엔코더회(22)가 보다 우선순위가 높은 서브블록(32)의 플래그 데이터중의 비트신호를 소정의 우선순위(워드)에 따라 일치워드(34)의 어드레스를 부호화(엔코드)하고 있는 동안에, 다음의 우선순위의 서브블록(32)의 레지스터(36)에 유지되어 있는 플래그 데이터를 각 워드(34)(W_0), (W_1), ..., (W_m)마다에 입력하여 두기 위한 것이고, $m+1$ 개의 0 또는 1의 1비트 데이터를 일시적으로 유지가능한 것이면, 어떠한 것이라도 좋고, 데이터 래치회로나 데이터 레지스터등도 좋다.

프리패치회로(16)으로부터의 플래그 데이터는 타이밍 제어회로(60)의 전환타이밍 출력(검출 출력)에 의하여 플래그 레지스터(18)에 병렬로 입력시킨다. 또, 이 플래그 데이터가 메인 엔코더(12)에 의하여 부호화되어 있는 동안에 서브블록 엔코더(14)에 의하여 선택된 다음의 우선순위의 서브블록(32)의 플래그 데이터가 프리패치회로(16)에 각 워드(34)마다에 각각 도입된다. 즉, 제9도에 나타난 상태의 메인 엔코더(12)에 있어서는 타이밍 제어회로(60)에 의하여 플래그 레지스터(18)내에 유지되어 있는 플래그 데이터(비트신호)의 갯수, 예를 들면 최후의 한 개를 검출하여 플래그 레지스터(18)에 전환타이밍신호(초기값 설정신호)를 출력하고, 플래그 레지스터(18)에 프리패치회로(16)의 플래그 데이터를 입력하는 것이다. 이에 대하여, 제2도에 나타난 제1의 상태의 메인 엔코더(12)에서는 플래그 레지스터(18)에 유지된 플래그 데이터의 최후의 비트신호를 리세트한 후 프라이어티의 노우드(Q_m)으로부터 출력인 종료 데이터 0을 사용하여 플래그 레지스터(18)의 플래그 데이터를 프리패치회로(16)에 래치홀드시키고 있는 다음의 우선순위의 서브블록(32)의 플래그 데이터와 전환하는 것을 제한하고 있다.

즉, 이것에서는 이 노우드(Q_m)이 오아출력 0을 오아출력단자(Or)으로부터 출력하고 인버터(49)에서 반전하여 그 반전값 1을 플래그 레지스터(18)에 입력하여 프리패치회로(16)에 래치홀드시키고 있는 다음의 우선순위의 서브블록(32)의 플래그 데이터를 플래그 레지스터회로(18)의 각각 대응하는 회로에 입력(시프트)하여 유지하는 것이다. 그후, 상술한 제1의 상태도, 본 상태도 동일하게 비어 있던 프리패치회로(16)에는 설정된 서브블록 엔코더(14)에 의하여 선택되어 있는 다음 다음의 우선순위의 서브블록(32)의 플래그 데이터가 레지스터(36)으로부터 판독입력되고, 래치홀드시킨다. 이와 같이 제1의 상태의 방법에서도, 본 발명과 동일하게 프라이어티(20)은 먼저 우선순위의 서브블록의 플래그 데이터의 처리를 종료하고나서 다음 우선순위의 서브블록 플래그 데이터가 그 서브블록(32)의 레지스터(36)으로부터 전송되고 있는 동안 대기할 필요가 없으므로 엔코드를 효율 좋게 행할 수가 있다.

그러나, 제1의 상태에서는 플래그 레지스터에 유지되어 있는 다음의 우선순위 서브블록의 플래그 데이터의 최후의 비트신호가 리세트됨으로 플래그 레지스터(18)의 내용을 프리패치회로에 유지되어 있는 다음의 우선순위 플래그 데이터의 전환하므로 리세트에 의하여 개시되는 프라이어티 엔코드 사이클에 있어서 서브블록의 플래그 데이터의 전환시에 엔코드될 수 없는 사이클을 발생시켜 버리고 엔코드출력을 할 수 없는 시간이 발생하는 것이 된다.

따라서, 현상 상태에서 있어서는 상술한 바와 같이 타이밍 제어회로(60)에 의하여 플래그 레지스터(18)내에 플래그 데이터의 비트신호의 갯수를 점지하여 두고 최후의 한개로 된 것을 검출하여 그 결과를 입력으로 하고 프라이어티(20)에 있어서는 최후의 비트신호 리세트하는 대신에, 프리패치회로(16)에 유지되어 있는 우선순위 서브블록(32)의 플래그 데이터를 플래그 레지스터(18)에 시프트(입력)하고 있다. 따라서, 본 발명에서는 동일 서브블록의 플래그 데이터에 있어서는 서브블록의 플래그 데이터의 전환시에 있어서는 동일 사이클로 프라이어티 엔코드를 행할 수가 있다.

물론, 본 발명에 있어서는 플래그 레지스터(18)에 있어서는 서브블록 플래그 데이터의 전환에 의하여 공간이 생긴 프리패치회로(16)에는 미리 서브블록 엔코더(14)에 의하여 선택되어 있는 다음 다음의 우선순위 서브블록(32)의 플래그 데이터의 레지스터(32)로부터 먼저 판독입력하여 래치홀드하는 것에 의하여 그 판독입력의 시간(플래그 데이터를 각 서브블록(32)로부터의 메인 엔코더(12)까지 전송하는 시간)을 엔코드처리와 무관계되게 하여 엔코드의 효율을 상승시킬 수가 있다. 또한, 본 발명에 있어서는, 플래그 레지스터(18)의 플래그 데이터의 최후비트신호는 리세트를 할 필요가 없다. 제10도에 본 발명의 제2의 상태의 부호화회로(11)의 가장 특징적인 부분인 본 발명의 제4의 상태의 반도체 집적회로가 적용된 타이밍 제어회로(60)의 일실시예의 구체적 회로도도를 나타낸다.

제10도에 나타난 바와 같이, 본 발명의 타이밍 제어회로(60)은 제1신호(신호전류검출선)(62)와 제2신호선(기준전류구동선)(64)와 제1신호선(62)에 각각 병렬로 플래그 레지스터(18)의 $m+1$ 개의 데이터 래치회로(18_0), (18_1), ..., (18_m)의 각각에 대하여 설치된 $m+1$ 개의 전류구동회로(전류구동수단)(66_0), (66_1), ..., (66_m)와, 제2신호선(64)에 설치된 레퍼런스 전류구동회로(기준전류구동수단)(66)와, 제1신호선(62)과 제1신호선(64)에 흐르는 전류의 차, 즉 전류차를 검출하는 차전류검출회로(차전류검출수단)(70)와, 이 타이밍 제어회로의 동작타이밍을 제어한다. 즉, 전류구동회로(66), (66_0), (66_1), ..., (66_m), 레퍼런스 전류구동회로(68) 및 차전류검출회로(70)등의 제어하는 프리차아지 제어신호선(72)를 가지고 있다.

또한, 본 발명의 타이밍 제어회로(60)에 있어서는, 회로의 정기용량등의 정기 특성들의 밸런스를 갖기 위하여, 제2신호선(64)에는 제1신호선(62)에 설치된 전류구동회로(66), (66_0), (66_1), ..., (66_m)에 대응하여 더미회로(74), (74_0), (74_1), ..., (74_m)가 설치되고, 제1신호선(62)에는 제2신호선(64)에 설치된 레퍼런스 전류구동회로(68)에 대응하여 더미회로(76)이 설치된다.

또, 제1신호선(62) 및 제2신호선(64)의 한쪽의 끝단부는 공통으로 차전류검출회로(70)에 접속되어 있다. 또한, 이 제1신호선(62) 및 제2신호선(70)에 접속되어 있다. 또한, 이 제1신호선(62) 및 제2신호선(64)는 프리차아지 트랜지스터(78) 및 등전위화 트랜지스터(79)가 접속되어 있고, 이 두개의 신호선을 예를 들면 5V로 초기화하는 동작을 한다. 여기서, 트랜지스터(78), (79)는 어느것도 P채널 MOS 트랜지스터로 되고, 이들의 게이트전극은 프리차아지 제어신호선(72)에 접속된다.

여기서, 더미회로(74), (74_0), (74_1), ..., (74_m)중의 한개를 레퍼런스 전류구동회로(68)로 하는 것도 가능하다. 이때 더미회로(76)은 불필요하게 된다.

전류구동회로(66)는 1개를 대표예로서 설명하면, 2개의 직렬접속된 공통으로 N채널 MOS 트랜지스터로 구성되는 제어트랜지스터(67a) 및 신호전압인가 트랜지스터(67b)로 되고, 트랜지스터(67a)는 제1신호선(62)에 접속되며, 트랜지스터(67b)는 접지되고 트랜지스터(67a)의 게이트전극은 제어신호선(72)에 트랜지스터(67b)의 게이트전극은 플래그 레지스터(18)의 각각 대응하는 래치회로에 출력단자(Q)와 접속된다.

전류구동회로(66)는 검출시에는 트랜지스터(67a)가 온상태로 되어 있고, 트랜지스터(67b)의 게이트전극에 플래그 레지스터(18)로부터 비트신호 1이 입력된 때에 트랜지스터(67b)를 온하고, 소정의 전류(i_0)가 흐르도록 구성되어 있다. 이 구동전류(i_0)는 모든 전류구동회로(66_0), (66_1), ..., (66_m)와 같게 되도록 구성되어 있으나, 사용되는 트랜지스터(67a), (67b)의 오차, 예를 들면 프로세스에 의한 오차정도의 오차는 존재한다. 더미회로(74)도 전류구동회

로(66)와 같은 구성을 가지며, 한쪽이 제2신호선(64)에 접속되며 다른쪽이 접지되는 2개의 직렬접속 N채널 MOS 트랜지스터(75a), (75b)로 되며, 트랜지스터(75a)의 게이트전극은 같이 제어신호선(72)에 접속되지만, 트랜지스터(75b)의 게이트전극은 접지되고, 항상 온하지 않도록 구성된다.

이것에 대하여 레퍼런스 전류구동회로(68)는, 제2신호선(64)에 소정의 레퍼런스 전류(기준 전류)(i_r)를 흐르게 하기 위한 것으로, 2개의 직렬접속된 N채널 MOS 트랜지스터(69a), (69b)로 되며, 트랜지스터(69a)는 제2신호선(64)에, 그 게이트전극은 소정의 H(하이) 전위의 전원에 접속되고, 항상 트랜지스터(69b)를 온하도록 구성된다. 한편, 더미회로(76)는, 제1신호선(62)에 접속되어 있는 이외는 더미회로(74)와 완전히 같은 구성의 N채널 MOS 트랜지스터(76a), (76b)로 구성된다.

레퍼런스 전류(i_r)의 값은, 전류구동회로(66₀), (66₁), ..., (66_m)가 흐를 수 있는 전류치(i_0)와 검출하는 비트신호의 갯수에 따라서 적절하게 결정하면 좋으나, 최후의 1개의 비트신호를 검출하기 위해서는 i_0 초(超) $2i_0$ 미만으로서 후술하는 차전류검출회로(70)가 차전류를 검출가능한 전류치로 하면 좋다.

이 전류치(i_r)는 구성하는 트랜지스터(67a), (67b), (69a), (69b)등의 회로소자의 오차를 고려하여 결정하면 좋지만, 예를 들면 $i_0=1.2i_0 \sim 1.8i_0$ 로 하는 것이 바람직하다.

차전류검출회로(70)는, 양 신호선(62), (64)을 흐르는 전류의 크기를 검출하고, 그 전류가 큰쪽을 L(로우)상태로, 작은쪽을 H(하이)상태로 래치홀드하기 위한 전류구동형 래치회로로서, 양 신호선(62), (64)의 타단측의 전원과 같은 소정의 전위, 예를 들면 5V전원에 접속되는 P채널 MOS 트랜지스터(PMOS)(80a), (80b)와, 이들에 각각 직렬접속되는 N채널 MOS 트랜지스터(NMOS)(82a), (82b)와, PMOS로 구성되는 2개의 프리차이지 트랜지스터(83)로 구성된다.

제1신호선(61)에 접속되는 트랜지스터(80a), (80b)의 게이트전극은 서로 접속되며, 트랜지스터(80a), (80b) 사이의 접점(B)에서 접속된다.

또, 제2신호선(64)에 접속되는 트랜지스터(82b), (80b)의 게이트전극은 서로 접속되며, 트랜지스터(80a), (82a) 사이의 접점(A)에 접속된다.

접점(B)에서부터는 출력선이 뻗어나고 인버터(84)를 통하여 출력단자(85)에 접속된다.

이어서, 타이밍 제어회로(60)의 검출동작을, 플래그 레지스터(18)의 플래그 데이터의 비트신

호가 최후의 1개로 되었던 것, 즉 최후의 비트신호가 검출하는 때의 작용을 대표예로서 설명한다. 여기에서, 플래그 레지스터(18)에는 여러개의 비트신호(1)를 가지는 플래그 데이터가 유지되어 있으며, 레퍼런스 전류(i_r)는, 1개의 전류구동회로(66)의 구동전류(i_0)의 1.5배, 즉 $1.5i_0$ 로 설정되어 있는 것으로 한다.

우선, 검출에 앞서서 프리차아지 제어신호선(72)을 L(로우 : 0)으로 하고, 양 프리차아지 트랜지스터(78), (79)를 온하여 제1신호선(62) 및 제2신호선(64)을, 따라서 접점(a)와 (b)도 동일한 H(하이) 전위(예를 들면 5V)로 프리차아지함과 동시에, 양 프리차아지 트랜지스터(83) 및 (80a), (80b)를 온하여 차전류 검출회로(70)내의 접점 A 및 B를 동일한 H(하이) 전위(예를 들면 5V)로 프리차아지하여 놓는다.

또, 차전류검출회로(70)의 트랜지스터(82a), (82b), 모든 전류구동회로(66)의 트랜지스터(67a), 레퍼런스 전류구동회로(68)의 트랜지스터(68a)는 오프상태로 된다.

이어서, 프리차아지 제어신호선(72)을 H(하이 : 1)로 하고, PMOS 트랜지스터(78), (79), (80a), (80b), (83)를 오프하여 NMOS 트랜지스터(67a), (69a), (75a), (77a)을 온한다.

따라서, 레퍼런스 전류구동회로(68)의 2개의 트랜지스터(69a), (69b)는, 함께 온하는 것으로 되며, 제2신호선(64)에는 레퍼런스전류(i_r)(=1.5 i

i_0)가 흐르고 접점(b)의 전위를 저하시킨다. 한편, $m+1$ 개의 전류구동회로(66), (66₀, 66₁, ..., 66_m)가운데, 플래그 레지스터(18)의 플래그 데이터가 비트신호 1인 데이터 래치회로(18j)에 접속된 게이트전극을 가지는 트랜지스터(67b)는 온하며, 트랜지스터(67a)는 온하고 있기 때문에, 이 전류구동회로(66_j)에는 제1신호선(62)로부터 구동전류(i_0)가 흐른다. 그런데, 플래그 레지스터(18)의 플래그 데이터에는 비트신호 1이 여러개, 예를 들면 $k(k \geq 2)$ 개 있기 때문에, 제1신호선(62)에는 ki_0 의 전류가 흐르는 것으로 되며, 접점(a)의 전위도 그것에 따라서 저하한다.

여기에서, k 는 2보다 큰 때는, 제1신호선(62)에 흐르는 전류(ki_0)는 제2신호선(64)에 흐르는 레퍼런스전류(i_r)(=1.5 i_0)보다 크기 때문에, 접점(b)의 전위에 비하여 접점(a)의 전위쪽이 빠르게 저하한다.

여기에서 NMOS(82a)의 게이트전위(접점 B의 전위)와 소오스전위(접점 a의 전위)의 차이가 NMOS(82a)의 기판 바이어스된 문턱전압(예를 들면 1.4V)보다 크게 되는, 즉 접점(a)이 3.6V 이하로 되면, NMOS(82a)는 온하고, 접점(A)의 전위가 저하한다.

한편, 이때, 접점(b)의 전위는 NMOS(82a)를 온시키는 만큼 저하하고 있지 않고, 이대로 오프상태가 유지된다. 이후, 양 신호선(62), (64)에 다시 전류가 흐르고, 접점(A), (a)는 다시 전위가 저하하지만, 접점(A)전위의 저하쪽의 접점(b)의 전위저하보다 크기 때문에, NMOS(82b)는 오프상태 유지된다.

이렇게 하여 접점(A)는 0으로 되지만, 접점(B)는 1 그대로이고, 인버터(84)의 출력은 0을 유지하는 것으로 한다.

이어서 플래그 레지스터(18)내의 여러개의 비트신호 1이 앤코드됨에 따라서 하나하나 0으로 리셋하고, 잔존하는 비트신호가 1개로 된때에, 타이밍 제어회로(60)의 검출동작을 행하면, 즉 처음에 프리차아지 제어신호선(72)에 0을 입력하여 프리차아지하고, 이어서 1을 입력하면 상술한 것과 같이 제1신호선(62)에는 전류(i_0)가, 제2신호선(64)에는 레퍼런스전류(i_r)($=1.5i_0$)가 흐르는 것으로 된다. 이때, 제2신호선(64)에 흐르는 전류쪽이 크기 때문에, 접점(b)의 전위쪽이 접점(a)의 전위보다도 빠르게 저하하고, 상술한 것과는 반대로 NMOS(82a)는 오프상태를 유지하며, NMOS(82b)는 온상태로 된다.

따라서, 접점(b)의 전위는 저하하고, 이것이 인버터(84)에 의하여 반전되고, 출력단자(85)로부터는, 1이 출력된다.

또 양 신호선(62), (64)을 미리 전원전위(5V)까지 프리차아지하여 두는 것은 전류검출회로(70)의 안정동작을 위해서는 매우 중요한 의미가 있다. 결국 5V까지 프리차아지하고, 이차전류 검출회로(70)의 동작전위인 3.6V까지 어느쪽인가의 신호선(62), (64)가 강화하여 올 때까지의 타이밍 마진을 만들어내는 것으로서 래치형의 차전류 검출회로 동작타이밍에 여유를 가지는 것이 되고, 제어선의 전환 노이즈등의 영향을 제거하는 것이 가능하게 되기 때문이다.

이상에서, 본 발명의 타이밍 제어회로(60)의 출력단자(85)로부터 출력되는 출력신호가 0이라면, 플래그 레지스터(18)내에 유지되어 있던 비트신호 1은 2개 이상, 출력신호가 1이라면 비트신호는 1개 이하인 것을 알 수 있다.

따라서 출력신호가 0으로부터 1로 변화한 때에, 이 검출결과, 예를 들면 1신호 또는 신호의 변화를 사용하여 플래그 레지스터(18)내의 플래그 데이터를 프리패치회로(16)내의 플래그 데이터로 전환하면 좋다. 물론, 여기에서 출력신호는 접점(A)로부터 불러내어도 좋다.

본 발명의 타이밍 제어회로(60)를 사용한 앤코드 타이밍의 타이밍 차트를 제11도에 나타낸다.

이 도면에서 (a)는 메인 엔코더(12)의 엔코드 타이밍을 나타낸다. (b)는 플래그 레지스터(18)의 비트신호 1의 리세트 타이밍을 나타낸다. (c)는 타이밍 제어회로(60)의 출력신호의 검출 타이밍을 나타낸다. (d)는 타이밍 제어회로(60)의 출력신호의 변화를 나타내고, (e)는 프리패치회로(16)의 플래그 데이터를 플래그 레지스터(18)에 시프트하는 타이밍을 나타낸다.

이와 같이, 플래그 레지스터(18)내에 유지되어 있던 같은 플래그 데이터내의 비트신호를 소정의 프라이어티로 엔코드하고 있는 사이는 비트신호의 리세트 펄스의 엣지 상승의 타이밍으로부터 소정시간하여 엔코드 사이클이 개시되도록(엣지상승) 구성되어 있다. 그러나, 타이밍 제어회로(60)가 엔코드 펄스에 의하여 기동되는 검출 타이밍에서 최후의 비트신호를 검출하고, 그 출력신호(d)가 0에서 1로 변화하면, 본래 리세트 펄스가 발생하는 타이밍으로 프리패치회로(16)의 플래그 데이터를 플래그 레지스터(18)에 입력변환하기 위한 펄스가 제 10도에 나타내는 펄스회로(87)에 의하여 발생되고, 플래그 레지스터(18)의 플래그 데이터의 전환을 한다. 그리고, 연속하는 엔코드 사이클에서, 이 플래그 데이터를 사용하여 프라이어티회로(20) 및 엔코드회로(22)에 의한 엔코드 동작을 하고, 엔코드 어드레스를 출력한다. 이리하여 메인 엔코더는, 연속한 소정의 사이클로 엔코드 동작을 하고, 엔코드 출력을 한다. 메인 엔코더(12)는 기본적으로는 이상과 같이 구성한다.

이상 설명한 바와 같이, 본 발명의 제2상태의 부호화 회로에 의하면, 전술의 제1상태의 효과에 더하여, 우선순위 부착 부호화 회로가, 데이터 전환 타이밍 제어회로에 의하여 상기 비트신호의 부호화를 종료한 후, 연속한 사이클로 바로 앞에 프리패치회로에 입력되어 있는 다음의 우선순위의 서브블록의 플래그신호 데이터의 부호화를 개시하고, 부호화하며, 워드 어드레스를 출력할 수 있다.

따라서, 본 상태의 부호화 회로에 의하면, 여러개의 연상 메모리 서브블록으로 구성되는 연상 메모리블록일지라도 여러개의 연상 메모리 서브블록 사이의 전환에 시간지연(대기시간)이 없는 다수개의 연상 메모리 서브블록으로부터의 출력신호를 효율 좋게 연속한 사이클로 부호화를 할 수 있다. 이 결과, 대용량 데이터에 대한 고속처리를 필요로 하는, 여러개의 연상 메모리 서브블록으로 구성되는 연상 메모리블록으로 되는 대용량 연상 메모리장치에도 적용할 수 있다.

또, 본 발명의 제4상태의 반도체 집적회로에 의하면, 전류구동수단에 입력되는 데이터 0 또는 1의 갯수가 미리 설정된 갯수로 된 것을 정확 신속하게 검출할 수 있다.

다음에, 제12도 내지 제14도를 참조하여 본 발명의 제5의 상태의 반도체 집적회로에 대해서 상세히 설명한다.

본 상태는, 상술한 본 발명의 제2의 상태의 부호화 회로에 타이밍 제어를 위한 개수검출회로로서 적용이 가능한 것이다.

본 상태의 반도체 집적회로에서는, 먼저 제1의 신호선, 제 신호전류검출선에 각각 병렬로 설치된 $M(M \geq 1)$ 개의 전류구동수단을 각각 제어하는 데이터 입력에 입력되는 데이터 1 또는 0중 검출하고자 하는 데이터의 개수 $\cdot K_0(M > K_0 \geq 0)$ 에 따라 제2의 신호선인 기준전류구동선에 설치된 기준전류구동수단에 흐르는 기준전류(레퍼런스전류치)(i_r), 즉, 1개의 전류구동수단에 흐르는 전류치(i_0)의 K_0 배 보다 크고 $K_0 + 1$ 배 보다 적은 전류치($K_0 i_0 < i_r < (K_0 + 1) i_0$)를 미리 설정해둔다.

여기서, 이 반도체 집적회로의 각 전류구동수단은, 데이터 입력선이 그 게이트전극에 접속된 신호전압인가 트랜지스터와, 이 반도체 집적회로의 동작타이밍을 제어하는 제어 트랜지스터를 가지며, 신호전압인가 트랜지스터가 신호전류검출선쪽에 설치되어 있다.

이 때문에, 본 상태의 반도체 집적회로에 있어서, 동작타이밍이 되어 전류구동수단의 제어 트랜지스터 및 기준전류구동수단의 제어 트랜지스터가 제어되고, 이들이 온하고, 데이터 입력선에 소요의 데이터가 입력된 모든 전류구동수단의 신호전압인가 트랜지스터는 온하고 있음으로, 이들의 각각 전류구동수단에는 전류(i_0)가 흐르기 때문에 그 개수(K)($M > K \geq 0$)에 따른 전류(i)($i = Ki_0$)가 신호전류검출선에 흐르는 것에 대해 기준전류구동선에는 기준전류구동수단에 의하여 기준전류치(i_r)가 흐른다. 이 양 신호선에 흐르는 전류치(i)와 (i_r)과의 차전류를 차전류 검출수단에 의하여 검출하고, 이 차전류의 부호의 역전, 즉 양 전류치(i)와 (i_r)과의 대소관계의 역전(타이밍)을 출력한다. 이렇게 해서, 각 데이터 입력선에 입력되는 데이터 중의 소요의 데이터의 개수 K 가 미리 설정된 검출해야 할 데이터의 개수 K_0 로 된 것을 검출한다. 이리하여 본 발명의 반도체 집적회로는 데이터 입력선에 입력된 소요의 데이터의 개수를 검출할 수가 있다.

이때, 전류구동수단의 제어 트랜지스터가 신호전압인가 트랜지스터보다 전류신호검출선쪽에 설치되고 있으면, 비록 데이터 입력선에 입력된 데이터가 소요의 데이터가 아니고, 신호전압인가 트랜지스터가 오프한채 있더라도, 이 반도체 집적회로가 동작타이밍이 되어서, 전류구동수단의 제어 트랜지스터가 온할때에, 신호전류검출선으로부터 제어트랜지스터로 일시적인 전류의 유입이 생기기 때문에, 동작개시시점에서 신호전류검출선에도 전류가 흐른다.

이 때문에, 검출이 필요한 역전시에 이 검출선에 흐르는 전류와 기준전류구동선에 흐르는 기준전류와의 차전류가 작아져서, 차전류 검출수단에 의한 차전류 역전의 신속한 검출이 곤란하고, 노이즈등의 영향을 받기 쉽고, 안정되게 정확한 검출을 신속히 할 수 없는 일이었다.

다.

이에 대하여, 본 발명의 반도체 집적회로는, 신호전압인가 트랜지스터가 제어 트랜지스터보다도 신호전류 검출선쪽에 설치되어 있기 때문에, 비록 전 전류구동수단의 제어 트랜지스터가 온하더라도, 신호전압인가 트랜지스터가 온하지 않는한 신호전류검출선으로부터의 전류는 유입하지 않는다.

따라서, 전압인가 트랜지스터가 온한 것에 의하여 신호전류검출선에 흐르는 전류와 기준전류와의 차전류를 검출이 필요한 역전시에도 비교적 크게 잡을 수가 있다.

그 결과, 차전류 검출수단에 의한 차전류의 역전의 검출을 안정되고 정확하게 또한 신속히 할 수가 있다.

제12도에 본 발명의 제5의 상태의 반도체 집적회로가 적용된 타이밍 제어회로(61)의 1실시예의 구체적 회로도들을 나타낸다. 여기서, 동 도면에 나타낸 타이밍 제어회로(61)는 제8도에 나타낸 본 발명의 제2의 상태의 부호화 회로(11)에 적용되는 것으로서, 제10도에 나타낸 타이밍 제어회로(60)와 전류구동회로(66)의 신호인가 트랜지스터(67c)의 제어 트랜지스터(67d) 및 레퍼런스 전류구동회로(68)의 트랜지스터(69c)와 (69d)의 구성이 다른 점을 제외하고는 완전히 동일함으로, 동일한 구성요소는 동일한 번호를 붙이고, 그 상세한 설명은 생략한다.

제12도에 나타낸 타이밍 제어회로에 있어서, 본 상태의 가장 특징으로 하는 부분인 전류구동회로(66)는, 하나를 대표로서 설명하면, 2개의 직렬로 접속된 모두 N채널 MOS 트랜지스터로 구성되는 신호전압인가 트랜지스터(67c) 및 제어 트랜지스터(67d)로 이루어지고, 신호전압인가 트랜지스터(67c)는 제1신호선(62)에 접속되며, 제어 트랜지스터(67d)는 접지되고, 신호전압인가 트랜지스터(67c)의 게이트전극은 플래그 레지스터(18)의 각각 대응하는 데이터 래치회로의 출력단자(Q)에, 제어 트랜지스터(67d)의 게이트전극은 제어신호선(72)에 접속된다.

전류구동회로(66)는, 검출시에는 제어 트랜지스터(67d)가 온상태로 되어 있고, 신호전압인가 트랜지스터(67c)의 게이트전극에 플래그 레지스터(18)로부터 비트신호 1이 입력되었을 때에 신호전압인가 트랜지스터(67c)를 온하여 제1신호선(62)으로부터 소정의 전류(i_0)가 흐르도록 구성되어 있다.

이 구동전류(i_0)는 모든 전류구동회로(66₀), (66₁), ..., (66_m)로 동일하게 되도록 구성되지만, 사용되는 트랜지스터(67), (67)의 오차, 예를 들면 프로세스에 의한 오차정도의 오차는 존재

한다.

더미회로(74)도, 전류구동회로(66)와 같은 구성을 가지며, 한쪽이 제2신호선(64)에 접속되고, 다른쪽이 접지되는 2개의 직렬 접속 N채널 MOS 트랜지스터(75c), (75d)로 되며, 접지쪽의 트랜지스터(75d)의 게이트전극은 마찬가지로 제어신호선(72)에 접속되지만, 제2신호선(64) 쪽의 트랜지스터(75c)의 게이트전극은 접지되어, 상시 온하지 않도록 구성된다.

이에 대하여, 레퍼런스 전류구동회로(68)는, 제2신호선에 소정의 레퍼런스전류(기준전류) i_r 를 흘리기 위한 것으로서, 2개의 직렬 접속된 N채널 트랜지스터(69c), (69d)로 되며, 트랜지스터(69c)는 제2신호선에, 그 게이트전극은 언제나 트랜지스터(69c)를 온하도록 소정의 H(하이)전위의 전원에 접속되고, 트랜지스터(69d)는 접지되어, 그 게이트전극은 제어신호선(72)에 접속된다. 또, 이 레퍼런스 전류구동회로(68)의 더미회로(76)가, 제1신호선(62)에 접속되어 있다.

레퍼런스전류 i_r 의 값은, 전류구동회로(66), ($66_0, 66_1, \dots, 66_m$)가 흘릴 수 있는 전류치 i_0 와 검출하는 비트신호의 개수에 따라서 적당히 결정하면 되나 최후의 1개의 비트신호를 검출하기 위해서는 i_0 초(超) $2i_0$ 미만이고, 후술하는 차전류 검출회로(70)가 차전류를 검출가능한 전류치로 하면 된다. 이 전류치 i_r 는 구성하는 트랜지스터(67c), (67d), (69c), (69d)등의 회로소자의 오차를 고려하여 결정하면 되나, 예를 들면, $i_r=1.2i_0 \sim 1.8i_0$ 로 하는 것이 바람직하다.

차전류 검출회로(70)의 접점 B로부터는 출력선이 뺄어나와 인버터(84)를 개재하여 앤드회로(88)에 접속된다. 앤드회로(88)의 또 한쪽의 입력에는 상술한 플래그 레지스터(18)의 리세트신호가 입력된다. 앤드회로(88)의 출력은 상술한 플래그 레지스터(18)의 클록단자에 접속된다.

다음에, 본 상태의 타이밍 제어회로(61)의 검출동작을 플래그 레지스터(18)의 플래그 데이터의 비트신호가 최후의 1개가 된 것, 즉 최후의 비트신호를 검출할때의 작용을 대표예로서 설명한다. 여기서 플래그 레지스터(18)에는 복수의 비트신호(1)를 가진 플래그 데이터가 유지되어 있으며 레퍼런스전류 i_r 는, 하나의 전류구동회로(66)의 구동전류 i_0 의 1.5배, 즉 $1.5i_0$ 로 설정되어 있는 것으로 한다.

먼저, 검출에 앞서서, 프리차아지 제어신호선(72)을 L(로우 : 0)로 하고, 양 프리차아지 트랜지스터(78)와 트랜지스터(79)를 온하여 제1 및 제2의 신호선(62) 및 (64)를, 따라서 접선(노우드) a와 b도 동일한 H(하이)전위(예를 들면 5V)로 프리차아지함과 동시에, 양 프리차아지는 트랜지스터(83)를 온하여, 차전류 검출회로(70)내의 접점 A 및 B를 마찬가지로

H(하이)전위(예를 들면 5V)에 프리차아지 해준다.

또한, 차전류 검출회로(70)의 트랜지스터(82a), (82b), 모든 전류구동회로(66)의 트랜지스터(67d), 레퍼런스 전류구동회로(68)의 트랜지스터(69d)는 오프의 상태이다.

다음에, 프리차아지 제어신호선(72)을 H(하이 : 1)로 하고, PMOS 트랜지스터(78), (79), (83)을 오프하여, NMOS 트랜지스터(67d), (69d), (75d), (77d)를 온한다.

따라서, 레퍼런스 전류구동회로(68)의 2개의 트랜지스터(69c), (69d)는 모두 온하는 것이 되고, 제2신호선(64)에는 레퍼런스전류 $i_r (=1.5i_0)$ 가 흐르는 접점 b의 전위를 저하시킨다.

한편, $m+1$ 개의 전류구동회로(66), (66₀, 66₁, ..., 66_m)중, 플래그 레지스터(18)의 플래그 데이터가 비트신호 1인 데이터 래치회로(18_j)에 접속 게이트전극을 가진 신호전압인가 트랜지스터(67c)는 온하고, 제어 트랜지스터(67d)는, 온하고 있는것 때문에, 이 전류구동회로(66_j)에는 제1신호선(62)으로부터 구동전류 i_0 가 흐른다.

그런데 플래그 레지스터(18)의 플래그 데이터에는 비트신호 1가 복수 예를 들면, $K(K \geq 2)$ 개 있는것 때문에, 제1신호선(62)에는 Ki_0 의 전류가 흐르는 것이 되어, 접점 a의 전위도 그것에 따라 저하한다.

여기서, K 가 2보다 클때는, 제1신호선(62)에 흐르는 전류 Ki_0 는 제2신호선(64)에 흐르는 레퍼런스전류 $i_r (=1.5i_0)$ 보다 크기 때문에 접점 b의 전위에 비하여 접점 a의 전위편이 빨리 저하된다.

여기서, NMOS(82a)의 게이트전위(접점 B의 전위)와 소오스전위(접점 a의 전위)의 차가 NMOS(82a)의 기판 바이어스된 문턱값전압(예를 들면 1.4V)보다 커지면(예를 들면, 접점 B의 전위가 5V일 때 접점 a의 전위가 3.6V까지 내려가면), NMOS(82a)는 온하고, 접점 A의 전위가 저하된다.

한편, 이때, 접점 b의 전위는 NMOS(82b)를 온시킬 정도 저하되어 있지 않고, 이대로 오프상태가 유지된다.

이후, 양 신호선(62) 및 (64)에 더욱 전류가 흘러서, 접점 A 및 a는 더욱 전위가 저하되지만 접점 a의 전위의 저하, 즉, 접점 A전위의 저하쪽의 접점 b의 전위저하보다 크기 때문에 NMOS(82b)는 오프상태를 유지한다.

이렇게 해서 접점 B는 1을 유지하고, 이것에 접속되어 있는 인버터(84)에 의해 앤드회로(88)에 0가 출력되는 것이 된다.

한편, 접점 a는 0이 된다.

다음에, 플래그 레지스터(18)내에 복수의 비트신호 1가 엔코드됨에 따라서, 하나하나 0로 리세트되어, 잔존하는 비트신호가 1개로 되었을 때에, 본 발명의 타이밍 제어회로(60)의 검출동작을 행하면, 즉, 처음에 프리차아지 제어신호선(72)에 0를 입력하여, 프리차아지하고, 다음에 1을 입력하면 상술한 것과 마찬가지로, 제1신호선(62)에는 전류 i_0 가 제2신호선(64)에는 레퍼런스전류 $i_r(=1.5i_0)$ 가 흐르게 된다.

이때, 제2신호선(64)에 흐르는 전류쪽이 크기 때문에, 접점 b의 전위쪽이 접점 b의 전위보다도 빠르게 저하되고, 상술과는 반대로 NMOS(82a)는 오프상태를 유지하며, NMOS(82b)는 온상태로 된다.

따라서, 접점 B의 전위가 로우레벨로 저하되고, 인버터(84)로 반전되어 상술한 앤드회로(88)에 1이 출력된다.

접점 A의 전위는 H(하이)전위로 유지된다.

이상으로, 본 상태의 타이밍 제어회로(61)의 인버터(84)로부터 출력되는 출력신호 0이라면 플래그 레지스터(18)내에 유지되고 있는, 비트신호 1은 2개 이상, 이 출력신호가 1이라면 비트신호는 1개 이하인 것을 알 수 있다. 따라서, 이 출력신호가 0에서 1로 변화했을시에, 앤드회로(88)에 의해 이 검출결과, 즉 1신호와 상술한 플래그 레지스터(18)의 리세트신호에서 전환제어신호를 얻어, 이 전환제어신호를 사용하여 플래그 레지스터(18)내의 플래그 데이터를 프리패치회로(16)내의 플래그 데이터로 전환하면 된다.

물론, 여기서 출력신호는 접점 A만 또는 접점 A 및 B의 양쪽에서 꺼내도 된다.

여기서, 상술한 바와 같이, 제10도에 나타낸 타이밍 제어회로(60)는, 제12도에 나타낸 타이밍 회로(61)와 전류구동회로(66), $(66_0, 66_1, \dots, 66_m)$ 의 제어 트랜지스터(67a)와 신호전압인가 트랜지스터(67b)와의 배치 및 더미회로(74), $(74_0, 74_1, \dots, 74_m)$ 의 제어 트랜지스터(75a)와 게이트 접지 트랜지스터(75b)의 배치가 교체된 점을 제외하고는 완전히 동일하고, 완전히 같이 하여 신호전압인가 트랜지스터(67b)의 게이트전극에 입력되면 플래그 레지스터(18)의 데이터 래치회로의 유지하는 비트신호 1의 개수가, 소정의 수, 예를 들면, 최후의 1개가 된 것을 검출할 수가 있는 것이다.

양 타이밍 제어회로(60) 및 (61)의 어느것에 있어서도, 상술한 바와 같이 타이밍 검출동작이 개시되면, 신호전류검출선(제1신호선)(62)에는 플래그 레지스터(18)의 비트신호(1)의 개수에 따른 전류가 흐르며, 기준전류구동선(제2의 신호선)(64)에는 소정의 레퍼런스전류가 흐른다.

그래서, 차전류 검출회로(70)는, 양 신호선(62) 및 (64)에 흐르는 전류의 차에 의해서 생기는 접점 a, b의 작은 전위차를, 한쪽(접점 a, b의 고전위쪽)이 프리차아지전압(예를 들면 Vdd)으로 유지되고, 다른쪽(저전위쪽)이 접지레벨(예를 들면 대략 0V)까지 저하되는 접점 A, B의 큰 전위차로서 검출하기 위한 것이다.

여기서, 처음의 동일전위(예를 들면 Vdd=5V)로 프리차아지되고 있던 접점 A와 B의 전위의 그후의 변화는 트랜지스터(82a)와 (82b)와의 어느쪽 즉, 상술한 바와 같이, 타이밍 검출동작동안에, 제1 및 제2의 신호선(62) 및 (64)에 전류가 흐르고, 양 신호선(62), (64)의 접점 a, b의 전위가 저하되고, 접점 B와 접점 a의 전위차, 접점 A와 접점 b의 전위차중 어느 한쪽이 기판 바이어스된 문턱값(예를 들면 1.4V)보다 커지면, 즉 양 신호선(62), (64)의 전위(접점 a 및 b의 전위)중 어느 하나의 상기의 문턱값(예를 들면 1.4V)을 넘어서 (3.6V보다) 저하하면, 트랜지스터(82a) 및 (82b)의 어느 한쪽이 온한다. 그 결과, 온한 트랜지스터(82a) 또는 (82b)쪽의 각각의 접점 A 또는 B의 한쪽은 즉각 각각 저하된 접점 a 또는 b의 전위에 동등하게 되고, 그후, 접지레벨(0V)까지 함께 저하한다. 한편, 온하지 않던 트랜지스터(82a), (82b)쪽의 각각의 접점 A 또는 B는 프리차아지된 전위(5V)에 유지된다.

이렇게 해서, 접점 B의 전위를 검출신호를 하고, 인버터(84)를 개재하여 출력신호로써 꺼내는 것으로서, 소정 개수(예를 들면 최후의 1개)의 비트신호로 된 것을 검출할 수가 있다.

즉, 접점 B의 앞끝단에는 인버터(84)가 접속되고 있으므로, 트랜지스터(82b)가 온하고, 접점 B의 전위가 저하하여, 인버터(84)의 문턱값(예를 들면 약 2.5V)보다 내렸을때에, 출력신호 1가 얻어지게 된다.

이상으로 알 수 있는 바와 같이, 상술한 차전류 검출회로(70)에서는 접점 A와 B가 분리되기 시작할때의 접점 a, b와의 전위차가 트랜지스터(82a) 및 (82b) 온동작이 접점 a, b의 전위차가 무관계로 되고 만다.

즉, 오동작이 생기는 가능성이 높아진다. 따라서 양 접점 a, b와의 전위차는 큰쪽이 노이즈의 영향을 받기 어려워, 언제나 정확하고 또한 안정된 타이밍 검출을 실시할 수가 있다.

그러나, 제10도에 나타난 타이밍 제어회로(60)에서는 전류구동회로(66)의 제어 트랜지스터(67a)가 신호검출선인 제1신호선(62)에 접속되고, 제어 트랜지스터(67a)에 직렬로 접속되는 신호전압인가 트랜지스터(67b)의 다른쪽의 전극이 접지되고, 더미회로(74)의 제어 트랜지스터(75a)가 기준전류구동선인 제2신호선에 접속되고, 이 제어 트랜지스터(75a)에 직렬로 접속되는 게이트 접지 트랜지스터(75b)의 다른쪽의 전극이 접지된다. 이 때문에, 프리차아지 제어신호선(72)을 프리차아지동작의 로우(L : 0)레벨에서 타이밍 검출동작의 하이(H : 1)레벨로 변화시키면, 플래그 레지스터(18)의 각 데이터 래치회로(18

$j(j=0, \dots, m)$ 의 유지 데이터에 관계없이 전류구동회로(66)의 제어 트랜지스터(67a)는 온하고, 제어 트랜지스터(67a) 및 신호전압인가 트랜지스터(67b)간에 일시적인 전하의 유입이 생기고, 또, 마찬가지로 더미회로(74)의 제어 트랜지스터(75a)는 온하고, 제어 트랜지스터(75a) 및 게이트 접지 트랜지스터(75b)간에 일시적인 전하의 유입이 생긴다.

그 결과, 제14도(b)에 나타난 바와 같이, 타이밍 검출동작의 초기에, 제1 및 제2신호선(62) 및 (64)으로부터 전류구동회로(66) 및 더미회로(74)의 제어 트랜지스터(67a) 및 (75a)에 전류가 흐르고, 각 신호선(62), (64)의 접점 a 및 b의 전위가 동시에 저하한다.

특히, 플래그 레지스터(18)의 데이터 래치회로의 수가 많이 대응하는 전류구동회로(66) 및 더미회로(74)의 수가 많으면, 검출초기에 제1 및 제2의 신호선(62) 및 (64)에 흐르는 전류가 커지게 되어, 접점 a 및 b의 전위가 동시에 크게 저하한다.

이 때문에, 신호전압인가 트랜지스터(67b)의 온에 의한 접점 a와 b의 전위에 차가 생기는 것이 늦어져, 그때의 양자의 전위가 낮아지게 된다.

즉, 양 신호선(62) 및 (64)의 전위(접점 a 및 b의 전위)의 어느쪽인가가 소정치(예를 들면, 3.6V)을 넘어서 저하하고, 트랜지스터(82a) 및 (82b)중 어느 한쪽을 온시킬때의 접점 a 및 b의 전위차가 작아지게 된다.

이에 대하여, 본 상태의 타이밍 회로(61)에서는 전류구동회로(66)의 신호전압인가 트랜지스터(67c)가 제2신호선쪽, 제어 트랜지스터(67d)가 접지쪽에 설치되어 있다.

따라서, 타이밍 검출동작이 개시되어도, 신호전압인가 트랜지스터(67c)가 온하지 않은 전류구동회로(66)의 제어 트랜지스터(67d)는 모두 온하지 않으며, 더미회로(74)의 제어 트랜지스터(75d)는 모두 온하지 않음으로, 검출동작 초기에 양 신호선(62), (64)에 제어 트랜지스터(67d), (75d)를 충전하기 위한 전류가 흐르는 일은 없다.

그 결과, 비트신호 1이 유지되고 있는 플래그 레지스터(18)의 데이터 래치회로에 대응하는 모든 전류구동회로(66)의 신호전압인가 트랜지스터(67c) 및 제어 트랜지스터(67d)만이 온하고, 그 수에 따른 전류만이 제1신호선(62)에는 흐르고, 제2신호선에는 레퍼런스 전류구동회로(68)의 트랜지스터(69c), (69d)만이 온하고, 제2신호선에는 레퍼런스전류만이 흐른다.

따라서, 제14도(a)에 나타난 바와 같이 접점(a) 및 (b)의 전위차는 검출동작 직후로부터, 즉 양 접점(a), (b)의 전위가 조금 저하된 시점에서부터 생기고, 더구나, 이들 접점(a), (b)의 전위중 어느 한쪽의 소정치(예를 들면 3.6V)를 전환시의 양 접점의 전위차를 크게 잡을 수가 있다.

이와 같이, 제10도 및 제12도에 나타난 타이밍 제어회로(60) 및 (61)에서는 접점(a) 또는 (b)의 어느 한 쪽의 소정치(예를 들면 3.6V)를 전환시의 양 접점(a), (b)의 전위차가 달라진다.

예를 들면, 제14도(a) 및 (b)에 나타난 예(각각 제12도 및 제10도에 나타난 타이밍 제어회로(61) 및 (60)의 예이다.)에 대해서 설명하면, 접점(A)와 (B)가 분리되기 시작하는 점인 접점(b)이 3.6V를 전환시점에서, 양 접점(a), (b)와의 전위차는 제14도(a)의 경우는 약 0.3V인데 대해서, 제14도(b)의 경우는 약 0.1V이다.

따라서, 제14도(a)에 나타난 본 상태의 타이밍 제어회로(61)의 쪽이 노이즈 마진이 크고, 그 결과, 노이즈의 영향을 받아도 차전류 검출회로(70)가 오동작하는 가능성은 작고, 언제나 정확하고, 또한 안정된 타이밍 검출을 할 수 있다.

또, 이 제14도(a) 및 (b)에서는 양 신호선(62) 및 (64)을 미리 프리차아지 함으로써 접점(a) 및 (b)가 3.6V를 전환시점에서의 양 접점의 전위차를 크게 잡고 있다.

그러나, 여기서 만약 양 신호선(62), (64)를 프리차아지 하지 않고 동작시킨다고 하면, 전혀 접점(a), (b)의 전위차는 없고, 정상동작은 기대할 수 없다.

따라서, 동 도면(a) 및 (b)의 경우 어느것이나, 프리차아지 되고나서 동작하는데 큰 의미를 가진다.

또한, 제14도(a) 및 (b)는, 각각 제12도 및 제10도에 나타난 타이밍 제어회로(61), (60)에서, 전원전압(V_{dd})이 5V, 전류구동회로(66) 및 더미회로(74)의 수 $m+1$ 이 256개이고, 레퍼런스 전류(i_r)가 $1.5i_0$ 일때, 검출타이밍(프리차아지 제어신호선(72)의 전압의 변화)과, 플래그 레지스터(18)에 유지되고 있는 비트신호 1이 최후의 1개의 경우의 검출타이밍과 접점(a), (b) 및

접점(A) 및 (B)의 전위가 변화 및 인버터(84)의 출력신호(Out Put)를 나타낸 것이다.

본 상태의 타이밍 제어회로(61)는, 기본적으로 이상과 같이 구성된다.

본 상태의 타이밍 제어회로(61)를 사용한 제8도에 나타난 부호화 회로(11)의 메인 엔코더(12)의 엔코드 타이밍 타임차트를 제13도에 나타낸다.

동 도면에서 (a)는 메인 엔코더(12)의 엔코드 타이밍을 나타낸 엔코드신호를 나타낸다. (b)는 플래그 레지스터(18)의 비트신호 1의 리세트 타이밍을 나타낸 리세트 펄스를 나타낸다. (c)는 본 상태의 타이밍 제어회로(61)의 검출동작 타이밍을 나타낸 검출동작신호(프리차이지 제어신호선)(72) 인가전압을 나타낸다. (d)는 본 상태의 타이밍 제어회로(61)의 접점(B)의 전위의 변화를 나타낸 검출출력신호를 나타내고, (e)는 (d)의 검출출력신호를 인버터(84)로 반전한 출력신호를 나타내고, (f)는 프리패치회로(16)의 플래그 데이터를 플래그 레지스터(18)에 시프트하는 타이밍을 나타낸 플래그 데이터 전환제어신호를 나타낸다.

이와 같이, 플래그 레지스터(18)내에 유지되고 있던, 같은 플래그 데이터내의 비트신호를 소정의 프라이어리터로 엔코드하고 있는 동안, 즉 검출출력신호(d)가 하이레벨(H)이면 비트신호의 리세트 펄스(b)의 상승 타이밍으로부터 소정시간되어 엔코드 사이클이 개시(상승)되도록 구성되어 있다.

그러나, 본 발명의 타이밍 제어회로(60)가 엔코드 펄스(a)에 의해 기동되는 검출타이밍에 있어서, 최후의 비트신호를 검출하고, 그 검출출력신호(d)가 하이레벨(H) 1에서 로우레벨(L) 0로 변화하면, 그 반전출력신호(e)가 0에서 1로 변화한다. 여기서, 제12도에 나타난 앤드회로(88)는, 검출출력신호(d)의 반전출력신호(e)와 리세트 펄스(b)의 논리적을 취하고, 프리패치회로(16)의 플래그 데이터를 플래그 레지스터(18)에 교체하기 위한 전환제어펄스(f)를 발생한다.

이렇게 해서, 전환제어펄스(f)에 의해 플래그 레지스터(18)의 플래그 데이터의 전환이 행해진다.

이상 상술한 바와 같이, 본 발명의 제5의 상태의 반도체 집적회로에 의하면, 전류구동수단의 신호전압인가 트랜지스터를 신호전류검출선쪽에 제어 트랜지스터를 접지쪽에 설치했음으로, 검출동작타이밍에 있어서도, 신호전압인가 트랜지스터가 온하지 않는한 제어 트랜지스터가 온하지 않음으로, 신호전류검출선으로부터 모든 제어 트랜지스터를 충전하기 위한 전하의 유출이 없고, 차전류 검출수단의 검출불능이나 오동작을 일으키는 일이 없다.

따라서, 기준전류구동선과 신호전류검출선과의 차전류를 안정되게, 정확하고, 또한 신속히 검출할 수가 있고, 연상 메모리등의 부호와 회로의 부호화 종료를 예측하는 타이밍 제어회로로서 알맞게 사용할 수가 있다.

다음에, 제15도 내지 제17도를 참조하여, 본 발명의 제6의 상태의 반도체 집적회로에 대해서 상세히 설명한다.

본 상태의 반도체 집적회로는 상술한 제4 및 제5의 상태와 같이 본 발명의 제2의 상태의 부호화 회로에 타이밍 제어용 개수검출회로로서 적용이 가능한 것이다.

본 상태의 반도체 집적회로에서는, 먼저 제1의 신호선, 즉 신호전류검출선에 각각 병렬로 설치된 $M(M \geq 1)$ 개의 전류구동수단을 각각 제어하는 데이터 입력선에 입력되는 데이터 1 또는 0중, 검출하고자 하는 데이터의 개수 $K_0(M > K_0 \geq 0)$ 에 따라 제2의 신호선인 기준전류구동선에 설치된 기준전류구동수단에 흐르는 기준전류(레퍼런스전류)치(i_r), 즉 1개의 전류구동수단에 흐르는 전류치(i_0)의 K_0 배 보다 크고 $K_0 + 1$ 배 보다 작은 전류치($K_0 i_0 < i_r < (K_0 + 1) i_0$)를 미리 설정해둔다. 여기서, 이 반도체 집적회로의 각 전류구동수단은, 데이터 입력선이 그 게이트전극에 접속된 신호전압인가 트랜지스터와, 이 반도체 집적회로의 동작타이밍을 제어하는 제어 트랜지스터를 가지고 있다.

이 때문에 본 발명의 반도체 집적회로에 있어서, 동작타이밍이 되어, 기준전류구동수단 및 데이터 입력선에 소요의 데이터가 입력된 모든 전류구동수단이 온하면, 기준전류구동선에는 기준전류구동선에 의하여 기준전류치(i_r)가 흐른다.

이에 대하여 각각의 전류구동수단에는 전류(i_0)가 흐르고, 그 결과, 신호전류검출선에는 그 개수(K)($M > k \geq 0$)에 따른 전류(i)($i = Ki_0$)가 흐른다.

이 양 신호선에 흐르는 전류치(i)와 (i_r)와의 전류차를 차전류 검출수단에 의하여 검출하고, 이 차전류의 부호의 역전, 즉 양 전류치(i)와 (i_r)와의 대소관계없이 역전(타이밍)을 출력한다.

이렇게 해서, 각 데이터 입력선에 입력되는 데이터중의 소요의 데이터의 개수(K)가 미리 설정된 검출해야 할 데이터의 개수(K_0)로 된 것을 검출한다.

이리하여 본 발명의 반도체 집적회로는 데이터 입력선에 입력된 소요의 데이터의 개수를 검출할 수가 있다.

이때, 기준전류구동선(레퍼런스전류선)과 신호전류검출선(검출선)과의 양 신호선은 미리 일

정한 전압레벨(V_0)로 설정되어 있다.

따라서, 레퍼런스전류선을 흐르는 레퍼런스전류(i_r)와 검출선을 흐르는 전신호전류(i)(Ki_0)와의 전류차에 의하여 생기는 양 신호선의 전압레벨의 차(전압차)는 검출동작개시시, 즉 양 신호선의 전압이 설정된 일정 전압레벨(V_0)에 가까운 때보다 검출동작 개시후 소정시간 경과후, 즉, 설정전압레벨(V_0)보다 소정전압저하 또는 상승한 전압레벨때의 쪽이 보다 커진다. 이것을 흐른 적산전류의 차가 보다 커지게 되기 때문이다.

따라서, 차전류 검출수단(회로)의 검출개시 전압레벨을 설정전압레벨(V_0)에 설정하기 보다, 이 설정레벨(V_0)에 대하여 상대적으로 차가 있는 소정전압저하 또는 상승한 전압레벨에 설정하는 쪽이 양 신호선의 전류차 즉, 전압차의 검출을 정확하게 또한 안정되게 행할 수가 있어서, 검출결과가 노이즈등의 외란의 영향을 받기 어렵다.

그런데, 본 상태의 반도체 집적회로는 차전류 검출수단이 검출개시레벨 설정수단을 가지고 있으며, 이것에 의해, 검출개시전압레벨을 신호전류검출선과, 레퍼런스전류선과의 양 신호선에 동일하게 미리 설정되는 전압레벨(예를 들면 프리차아지 전압레벨)과 차가 큰(소정전압레벨 떨어짐) 전압레벨에 설정할 수 있음으로, 양 신호선의 전류차 검출시의 양 신호선의 전압차를 비교적 크게 잡을 수가 있다.

따라서, 신호전류검출선에 흐르는 전류와 레퍼런스전류와의 차전류의 검출이 가장 중요하고, 양 신호선의 차전류가 가장 작아지는 차전류의 역전시에도 양 신호선의 전압차를 비교적 크게 잡을 수 있다.

그 결과, 차전류 검출수단에 의한 차전류의 검출, 및 그 역전시기(타이밍)의 검출을 안전되게 정확하고, 또한 신속히 행할 수가 있다.

제15도에, 본 발명의 제6의 상태의 반도체 집적회로가 적용된 타이밍 제어회로(90)의 1실시예의 구체적인 회로도들 나타낸다.

여기서, 동 도면에서 나타낸 타이밍 제어회로(90)는, 제8도에 나타낸 본 발명의 제2의 상태의 부호화 회로(11)에 적용되는 것으로서, 제10도에 나타낸 타이밍 회로(60)와, 검출개시레벨 설정수단이 되는 트랜지스터(86)와, 양 신호선(62), (64)의 한쪽 끝단쪽의 접점(a), (b)를 각각 프리차아지하는 프리차아지 트랜지스터(78)와, 다른 끝단쪽에서 양 신호선(62), (64)을 동일전위화 하는 트랜지스터(79)가 설치되어 있는 점을 제외하고는 완전히 동일하고, 완전히 같이 하면 신호전압인가 트랜지스터(67b)의 게이트전극에 입력되는 플래그 레지스터(18)의 데이터 래치회로의 유지하는 비트신호 1의 개수가 소정의 수, 예를 들면 최후의 1개로

된 것을 검출할 수 있는 것이므로, 동일한 구동요소에는 동일한 번호를 붙이고, 그 상세한 설명은 생략한다.

제15도에 나타난 타이밍 제어회로(90)에 있어서, 본 상태의 가장 특징적인 부분인 차전류 검출회로(70)는, 양 신호선(62)과 (64)의 다른 끝단쪽의 전원과 같은 소정의 전위, 예를 들면 5V의 전원에 접속되는 P채널 MOS 트랜지스터(PMOS)(86)과, PMOS 트랜지스터(86)에 접속되는 MOS 트랜지스터(80a, 80b)와, 이들에게 각각 직렬로 접속되는 N채널 MOS 트랜지스터(NMOS)(82a), (82b)이 PMOS로 되는 2개의 프리차아지 트랜지스터(83)로 된다. 여기서, 전원에 접속되는 PMOS 트랜지스터(86)는, 본 발명의 검출개시레벨 설정수단을 구성하고, 그 소오스전극은 전원에 접속되고, 그 게이트전극을 자기(自己)의 드레인전극에 접속된다.

제1신호선에 접속되는 트랜지스터(82a), (82b)의 게이트전극은 서로 접속되어, 트랜지스터(80a), (82b)와의 사이의 접점(B)에서 접속된다.

또, 제2신호선에 접속되는 트랜지스터(82b), (82b)의 게이트전극은 서로 접속되며, 트랜지스터(80a)와 (82a)와의 사이의 접점(A)에서 접속된다. 접점(B)으로부터는 출력선이 뺄어나와 인버터(84)를 개재하여 앤드회로(88)에 접속된다. 앤드회로(88)의 또 한쪽의 입력에는 상술한 플래그 레지스터(18)의 리세트신호가 입력된다. 앤드회로(88)의 출력은 상술한 플래그 레지스터(18)의 클록단자에 접속된다.

여기서, PMOS 트랜지스터(86)의 소오스전극이 접속되는 전원전압(V_{dd})이 소정전위, 예를 들면 5V이며, 문턱값전압(V_{TH})이 소정전압, 예를 들면 약 0.7V라고 하면, 이 PMOS 트랜지스터(86)는 그 게이트전압이 전원전압에서 문턱값전압을 공제한 전압($V_{dd}-V_{TH}$, 예를 들면 $5-0.7=4.3V$) 보다도 낮은 동안은 온하고 있지만, 이보다 높아지면 오프되고 만다.

따라서, 게이트전극과 접속된 드레인전극의 전압은 전원전압-문턱값전압($V_{dd}-V_{TH}$, 예를 들면 4.3V)까지 밖에 상승하지 않는다.

즉, PMOS 트랜지스터(86)은 프리차아지 트랜지스터(83)를 개재하여 프리차아지할때의 접점(A) 및 (B)의 프리차아지전압(V_{dd})으로부터 저하시키는 수단으로서 가능하다. 상세한 것은 후술하지만, 접점(A) 및 (B)의 프리차아지전위가 저하함으로, 트랜지스터(82a), (82b)의 프리차아지된 게이트전압이 저하하고, 타이밍 검출동작시에 트랜지스터(82a), (82b)의 어느 한 쪽을 온할때의 접점(a), (b)의 전위, 즉 검출개시전압레벨을 저하시킨다. 즉 PMOS 트랜지스터(86)는 검출개시레벨 설정수단으로서 기능한다.

다음에, 본 상태의 타이밍 제어회로(90)의 검출동작을 플래그 레지스터(18)의 플래그 데이터의 비트신호가 최후의 1개로 된 것, 즉, 최후의 비트신호를 검출할때의 작용을 대표예로서 설명한다.

여기서, 프리차아지에 사용되는 전원전위는 동일, 예를 들면 5V이며, 플래그 레지스터(18)에는 복수의 비트신호(1)를 가진 플래그 데이터가 유지되고 있으며, 레퍼런스전류(i_r)는 하나의 전류구동회로(66)의 구동전류(i_0)의 1.5배, 즉 $1.5i_0$ 로 설정되어 있는 것으로 한다.

먼저, 검출에 앞서서, 프리차아지 제어신호선(72)을 L(로우 : 0)로 하고, 양 신호선(62), (64)의 양 끝단선의 프리차아지 트랜지스터(78)와 트랜지스터(79)를 온하여 제1 및 제2의 신호선(62) 및 (64)를 따라서, 접점(a), (b)도 동일한 소정 단위, 예를 들면 전원전위(예를 들면 5V)로 프리차아지하는 동시에 차전류 검출회로(70)의 양 프리차아지 트랜지스터(83)를 온하여, 차전류 검출회로(70)내의 접점(A) 및 (B)를 프리차아지전압, 즉 소정의 H(하이)전위(예를 들면 4.3V)로 프리차아지한다.

또한, 차전류 검출회로(70)의 트랜지스터(82a), (82b) 모든 전류구동회로(66)의 트랜지스터(67a), 레퍼런스 전류구동회로(68)의 트랜지스터(68a)는 오프상태이다. 여기서, 처음에 전원 에 접속된 트랜지스터(86)가 오프한 상태에서는, 그 드레인전위는, 문턱값전압에 의해 전원 전위-문턱값전위($V_{dd}-V_{TH}$, 예를 들면 4.3V)로 유지되고 있으나, 프리차아지 트랜지스터(83)가 온한 결과 트랜지스터(86)의 드레인전위 $V_{dd}-V_{TH}$ 보다 내려가면 트랜지스터(86)가 온하여 접점(A) 및 (B)를 프리차아지한다.

이렇게 해서, 접점(A), (B)의 전위, 즉, 트랜지스터(86)의 게이트전위(드레인전위)가 프리차아지전압, 즉 $V_{dd}-V_{TH}$ (예를 들면 4.3V)에 도달하기까지 트랜지스터(86)는 온하여 접점(A), (B)의 프리차아지를 계속하고, 프리차아지전압에 도달한 후 트랜지스터(86)는 오프한다.

다음에, 프리차아지 제어신호선(72)을 H(하이 : 1)로 하고, PMOS 트랜지스터(78), (79), (83)를 오프하여, NMOS 트랜지스터(67a), (69a), (75a), (77a)를 온한다. 따라서, 레퍼런스 전류구동회로(68)의 2개의 트랜지스터(69a), (69b)는 함께 온하게 되고, 제2신호선(64)에는 레퍼런스전류(i_r)(=1.5 i_0)가 흘러서 접점(b)의 전위를 저하시킨다. 한편, m+1개의 전류구동회로(66), (66

0, 66₁, ..., 66_m)중 플래그 레지스터(18)의 플래그 데이터가 비트신호 1인 데이터 래치회로(18_j)에 접속된 게이트전극을 가진 트랜지스터(67b)는 온하고, 트랜지스터(67a)는, 온하고 있는 것 때문에, 이 전류구동회로(66_j)에는 제1신호선(62)으로부터 구동전류(i_0)가 흐른다.

그런데, 플래그 레지스터(18)의 플래그 데이터에는 비트신호 1이 복수 예를 들면 $K(K \geq 2)$ 개 있는것 때문에, 제1신호선(62)에는 Ki_0 의 전류가 흐르게 되고, 접점(a)의 전위도 거기에 따라서 저하한다.

여기서, K 가 2보다 클때는, 제1신호선(62)에 흐르는 전류(Ki_0)는 제2신호선(64)에 흐르는 레퍼런스전류(i_r)($=1.5i_0$)보다 크기 때문에, 접점(b)의 전위에 비하여 접점(A)의 전위쪽이 빠르게 저하된다.

여기서, NMOS(82a)의 게이트전위(접점(B)의 전위)와 소오스전위(접점(a)의 전위)의 차(게이트 소오스 전압)이, NMOS(82a)의 기판 바이어스된 문턱값전압(예를 들면 1.4V)보다 커지면, 즉, 접점(a)의 전위가 검출개시전압(V_{ON})(프리차아지전압)에서 상술한 문턱값전압을 제공한 전압을 넘어서 저하하면(예를 들면, 접점(B)의 전위가 4.3V일때, 접점(a)의 전위가 2.9V까지 저하하며), NMOS(82a)는 온하고, 접점(A)의 전위가 저하한다.

한편, 이때, 접점(b)의 전위는 NMOS(82b)를 온시킬 정도로 저하되어 있지 않고, 이대로 오프상태가 유지된다. 이후, 양 신호선(62) 및 (64)에 더욱 전류가 흘러서 접점(A) 및 (a)의 더욱 전위가 저하되지만 접점(a)의 전위의 저하, 즉 접점(A)의 전위의 저하쪽이 접점(b)의 전위저하보다 크기 때문에 NMOS(82b)는 오프상태를 유지한다.

이리하여, 접점(B)은 1을 유지하고, 이것을 접속되어 있는 인버터(84)에 의하여 앤드회로(88)에 0이 출력되도록 한다.

한편, 접점(A)은 0으로 된다.

다음에, 플래그 레지스터(18)내의 복수의 비트신호 1가 엔코드됨에 따라서 하나하나 0으로 리셋되고, 잔존하는 비트신호가 1개로 되었을때에 본 발명의 타이밍 제어회로(60)의 검출 동작을 행하면, 즉, 처음에 프리차아지 제어신호선(72)에 0을 입력하여 프리차아지하고, 다음에 1을 입력하면, 상술한 것과 마찬가지로, 제1신호선(62)에는 전류(i_0)가, 제2신호선(64)에 흐르는 전류쪽이 크기 때문에, 접점(b)의 전위쪽이 접점(a)의 전위보다도 빠르게 저하하고, 상술과는 반대로 NMOS(82b)는 오프상태를 유지하고, NMOS(82b)는 온상태가 된다.

따라서, 접점(B)의 전위가 로우레벨로 저하하고 인버터(84)에 반전되어 상술한 앤드회로(88)에 1이 출력된다. 한편, 접점(A)의 전위는 H(하이)전위에 유지된다.

이상으로 본 상태의 타이밍 제어회로(90)의 인버터(84)로부터 출력되는 출력신호 0이라면 플래그 레지스터(18)내에 유지되어 있는 비트신호 1은 2개 이상, 출력신호가 1이라면 비트

신호는 1개 이하인 것을 알 수 있다.

따라서, 이 출력신호가 0에서 1로 변화했을때에, 앤드회로(88)에 의해 이 검출결과, 즉, 1신호와 상술한 플래그 레지스터의 리세트신호에서 전환제어신호를 얻어, 이 전환제어신호를 사용하여 플래그 레지스터(18)내의 플래그 데이터를 프리패치회로(16)내의 플래그 데이터로 전환하면 된다. 물론, 여기서 출력신호는 접점(A)만 또는 접점(A) 및 (B)의 양쪽에서 꺼내도 된다.

그런데, 본 상태의 타이밍 제어회로(90)에 있어서는, 상술한 바와 같이, 타이밍 검출동작이 개시되면, 신호 전류검출선(제1신호선)(62)에는 플래그 레지스터(18)의 비트신호(1)의 개수를 따른 전류가 흐르고, 기준 전류구동선(제2의 신호선)(64)에는 소정의 레퍼런스전류가 흐른다. 그래서, 차전류 검출회로(70)는, 양 신호선(62) 및 (64)에 흐르는 전류의 차에 의해 생기는 접점(a), (b)의 작은 전위차를 한쪽(접점(a), (b)의 고전위쪽)이 프리차아지전압(예를 들면 V_{dd})으로 유지되고, 다른쪽(저전위쪽)이 접지레벨(예를 들면 0V)까지 저하하는 접점(A), (B)의 큰 전위차로서 검출한다. 여기서, 처음에 동일한 프리차아지전위(예를 들면 4.3V)로 프리차아지되어 있던 접점(A), (B)의 전위의 그후의 변화는, 트랜지스터(82a)와 (82b)의 어느쪽이 온하는지 어떤지에 따라 결정된다.

즉, 상술한 바와 같이, 타이밍 검출동작 동안에, 제1 및 제2의 신호선(62) 및 (64)에 전류가 흐르고, 양신호선(62), (64)의 접점(a) 및 (b)의 전위가 저하하고, 접점(B)와 접점(a)의 전위차, 접점(A)와 접점(B)의 전위차의 어느 쪽인지가 기판 바이어스된 문턱값(예를 들면 1.4V)보다 커지면, 즉 양 신호선(62) 및 (64)의 전위(접점(a) 및 (b)의 전위)중 어느 한쪽이 검출 개시전압(프리차아지전위에서 상술한 문턱값을 공제한 전위) V_{ON} (예를 들면 2.9V)를 넘어서 저하하면, 트랜지스터(82a), (82b)중 어느 한쪽이 온한다. 그 결과, 온한 트랜지스터(82a) 또는 (82b)쪽의 각각의 접점(A) 또는 (B)의 한쪽의 직각 각각 저하된 접점(a) 또는 (b)의 전위에 동등해지며, 그후, 접지레벨(0V)까지 함께 저하된다.

한편, 온하지 않는 트랜지스터(82a) 또는 (82b)쪽의 각각의 접점(A) 또는 (B)는 프리차아지전위(4.3V)로 유지된다.

이렇게 해서, 접점(B)의 전위를 검출신호로 하고, 인버터(84)를 개재하여 출력신호로서 꺼내는 것으로서 소정개수(예를 들면 최후의 1개)의 비트신호로 된 것을 검출할 수가 있다. 즉, 접점(B)의 앞에는 인버터(84)가 접속되고 있으므로, 트랜지스터(82b)가 온하고, 접점(B)의 전위가 저하하여, 인버터(84)의 문턱값(예를 들면, 약 2.5V)보다 내려갈때에, 출력신호 1이 얻어지게 된다.

이상으로 알 수 있는 바와 같이 상술한 차전류 검출회로(70)에서는 접점(A)와 (B)가 분리되기 시작할때의 접점(a)와 (b)와의 전위차가 너무 작으면 트랜지스터(82a) 및 (82b)의 온동작이 접점(a), (b)의 전위차가 무관계로 되고 만다.

즉, 오동작이 생기는 가능성이 높아진다.

따라서, 양 접점(a), (b)와의 전위차는 큰편이, 노이즈의 영향을 받기 어려워 언제나 정확하고 또한 안정된 타이밍 검출을 실시할 수가 있다.

여기서, 양 신호선(62), (64)의 각 접점(a), (b)의 동등하게 프리차아지된 전위는 타이밍 검출동작(프리차아지 제어신호선(72)이 하이레벨(H : 1일때)의 초기에는 각각 전류구동회로(66), 레퍼런스 전류구동회로(68), 각 더미회로(74), (76)등의 온한 제어 트랜지스터(67a), (69a), (75a), (77a)로의 전하의 일시적인 유입이 생기기 때문에 똑같이 저하한다.

그러나, 플래그 레지스터(18)에 유지되어 있는 히트신호(1)의 수에 따라서 신호전압인가 트랜지스터(67b)가 온한 전류구동회로(66)를 통하여 제1신호선(62)을 흐르는 모든 신호전류(i)와, 트랜지스터(69b)가 온한 기준전류구동회로(68)를 통하여, 제2신호선(64)을 흐르는 레퍼런스전류(ir)에는 차이가 있기 때문에, 검출개시후 소정시간 경과하면 이 전류차에 의하여 접점(a)와 접점(b)에는 전위차가 일어난다.

이 전위차는 양 신호선(62), (64)를 흐른 적산전류의 차이가 그만큼 크기 때문에, 검출개시후 소정시간까지는 크게 된다. 그러나 전류가 흐름에 따라서 미리 프리차아지되어 있던 양 신호선(62), (64)의 전위가 저하하고, 그 유지하고 있던 전하가 감소하여 가기 때문에 유지하고 있던 전하가 작게 되며, 전위가 거의 접지레벨에 가까우면 전류가 흐르기 어렵게 되며, 최종적으로는 흐르지 않게 되기 때문에 충분한 시간경과후에는 양 신호선(62), (64)의 전위, 즉 양 접점(a), (b)의 전위는 거의 동일한 접지레벨로 된다.

따라서, 본 발명에서는 양 접점(a), (b)의 전위가 접지레벨 근방까지 저하하고 있지 않으면 프리차아지된 전위에서 저하하고 있는 만큼, 접점(a), (b)의 전위차는 크다. 따라서 양 접점(a), (b)의 전위가 보다 저하하고 양 접점(a), (b)에 의하여 큰 전위차가 생긴 시점에서, 양 접점(a), (b)의 전위중, 낮은쪽의 전위가 트랜지스터(82a), (82b)중 어느 하나를 온하는 검출개시전압으로 되도록, 양 접점(a), (b) 즉 양 신호선(62), (64)의 프리차아지전압과 트랜지스터(82a), (82b)가 온하는 검출개시전압과의 차이를 될 수 있는한 크게 취하도록하여 두는 것이 바람직하다. 이를 위해서는, 양 신호선(62), (64)의 프리차아지전압을 높이든가 검출개시전압을 낮추는 방법이 있다. 양 신호선(62), (64)의 프리차아지전압을 올리기 위해서는 승압회로를 사용하면 좋으나, 승압회로는 회로면적의 증대나 코스트업을 수반하기 때문에 검

검출개시 전압레벨을 저하시키는 수단을 설치하는 것이 바람직하다. 검출개시전압은, 트랜지스터(82a) 또는 (82b)가 온하는 때의 소스전압, 즉 접점(a) 또는 (b)의 전위이고, 트랜지스터(82a), (82b)의 게이트-소스간의 문턱값(예를 들면 1.4V)가 정해져 있기 때문에, 트랜지스터(82a), (82b)의 게이트전압이 전위를 낮추는 것에 의하여 검출개시 전압레벨을 낮출 수 있다.

제15도에 나타내는 타이밍 제어회로(90)에서는, PMOS 트랜지스터를 사용하는 검출개시레벨설정 트랜지스터(86)에 의하여 양 트랜지스터(82a), (83b)의 게이트전극에 접속된 접점(A), (B)의 프리차아지전위를 전원전위(예를 들면 5V)에서 소정전위(예를 들면 4.3V)까지 PMOS 트랜지스터의 문턱전압 분량만큼 저하시키고 있다. 본 발명은 이것에 한정되지 않고, 예를 들면 제16도에 나타내는 타이밍 제어회로(92)에서와 같이, 검출개시레벨설정 트랜지스터(86)를 NMOS 트랜지스터로 구성할 수도 있다. NMOS 트랜지스터의 기판 바이어스된 게이트-소스간의 문턱전압(V_{TH})이, 예를 들면 1.4V라고 하면, 전류전압(V_{dd})가 5V인때 NMOS 트랜지스터(86)의 드레인전극과 접속하여 전원에 접속하는 것이고, 소스전극의 전위 상승을 $V_{dd}-V_{TH}$, 즉 약 3.6V까지도 할 수 있다. 이 때문에, 접점(A), (B)의 프리차아지전압은 약 3.6V로 되며, NMOS 트랜지스터(82a), (82b)의 게이트-소스간의 문턱전압(V_{TH})도 약 1.4V이기 때문에 이들 트랜지스터(82a), (82b)가 온하는 검출개시전압(V_{ON})을 약 2.2V(3.6-1.4V)로 할 수 있다.

그런데, 본 발명의 반도체 집적회로를 부호화 회로의 타이밍 제어회로로서 적용하는 때에 타이밍 검출동작개시 호, 양 신호선(62), (64)의 각 접점(a), (b)과의 전위차를 빠르게, 즉 접점(a), (b)의 전위저하가 작아도 보다 크게 하기 위하여 제15도에 나타내는 타이밍 제어회로(90)와는 반대로 제16도에 나타내는 타이밍 제어회로(92)와 같이 전류구동회로(66)의 신호전압인가 트랜지스터(67c)를 제1신호선(신호전류검출선)(62)측에, 제어 트랜지스터(67d)를 접지측에 설치하며, 또 더미회로(74)의 게이트 접지 트랜지스터(75c)를 제2신호선(레퍼런스전류구동선)측에, 제어 트랜지스터(75d)를 접지측에 설치하여도 좋다. 이렇게 하므로써 신호전압인가 트랜지스터(67c)가 온한 전류구동회로(66)의 제어 트랜지스터(67d)만을 온시키고, 트랜지스터(67c)가 온하지 않고 모든 제어 트랜지스터(67d) 및 모든 더미회로(74)의 제어 트랜지스터(75d)를 온시킬 수가 없기 때문에, 타이밍 검출동작의 초기에 이들 제어 트랜지스터(67d), (75d)에 유입하는 전하를 없앨 수 있고, 양 신호선(62), (64), 즉 양 접점(a), (b)의 타이밍 검출동작 초기의 동시저하를 방지하고, 양 접점(a), (b)와의 전위차 그 자체를 크게 할 수 있다.

그러나, 제10도에 나타내는 타이밍 제어회로(60)에서는, 프리차아지 트랜지스터(83)는 전원에 직접 접속되어 있기 때문에, 접점(A), (B)는 전원전위(V_{dd})(예를 들면, 5V)에 프리차아지된다. 접점(A), (B)의 프리차아지전압이 전원전위(V

V_{dd} 이기 때문에, 게이트 소오스간의 문턱전압이 V_{TH} (예를 들면, 1.4V)인 트랜지스터(82a), (82b)가 온하는 검출개시전압(V_{ON})은 $V_{dd}-V_{TH}$ (예를 들면, 약 3.6V)로 된다. 이것에 대하여 본 상태의 제15도 및 제16도에 나타내는 타이밍 제어회로(90), (92)의 검출개시레벨(전압)(V_{ON})은, 동일 전원전위(5V)에 대하여 각각 약 2.9V 및 2.2V이기 때문에, 제10도에 나타내는 타이밍 제어회로(60)에 비하여 검출개시레벨(전압)(V_{ON})을 낮출 수가 있고, 양 신호선(62), (64)과의 즉 접점(a), (b)의 전위차가 보다 크게 되므로서 낮은 전위로 트랜지스터(82a), (82b)를 정확하고 안정하게 할 수 있다. 그 결과 제15도 및 제16도에 나타내는 타이밍 제어회로(90), (92)는, 제10도에 나타내는 것에 비하여 노이즈의 영향을 받아도 차(差)전류 검출회로(70)가 오동작할 가능성은 작고, 항상 정확하고 안정한 타이밍 검출을 높은 노이즈 마진으로 할 수 있다.

제17도(a), (b)는 각각 제16도에 나타내는 타이밍 제어회로(92)의 회로동작 시뮬레이션 파형과 제10도에 나타내는 타이밍 제어회로(90)의 시뮬레이션 파형을 나타낸다.

각각 노우드(A)점 및 노우드(B)점이 분기하는 동작점에서의 노우드(a) 및 노우드(b)의 전압차가, 0.6V와 0.1V이고 같은 도면(a)쪽이 마진이 큰 것을 알 수 있다.

또, 본 상태의 타이밍 제어회로(90)가 적용된 제8도에 나타내는 부호화 회로(11)의 메인 엔코더(12)의 엔코드 동작은 제13도에 나타내는 타이밍 차트와 같으므로 설명은 생략한다.

본 발명의 제2상태의 부호화 회로에 적용되는 본 상태의 타이밍 제어회로는 기본적으로 이상과 같이 구성된다.

이상 설명한 바와 같이, 본 발명의 제6상태의 반도체 집적회로에 의하면, 차전류 검출수단에 검출개시전압과 제1 및 제2신호선에 미리 동일하게 설정되는 전압과의 차이를 상대적으로 크게 할 수 있는 검출개시레벨 설정수단을 설치하였기 때문에 검출동작 타이밍에서도 신호전류검출선과 기준전류구동선과의 양 신호선의 전위가 충분하게 저하하고, 그 전위차가 충분하게 크게 되었던 바, 그 차이를 타이밍에 검출할 수 있다. 이 때문에, 차전류 검출수단의 검출불능이나 오동작을 일으키지 않는다. 따라서, 기준전류구동선과 신호전류검출선과의 차전류를 저소비 전력으로 안정하여 정확하고 신속하게 높은 노이즈 마진으로 검출할 수 있고 또 콤팩트한 회로구성으로 할 수 있으며, 연상 메모리 등의 부호화 회로의 부호화 종료를 예측하는 타이밍 제어회로로서 바람직하게 사용할 수 있다.

이어서, 제18도~제22도를 참조하여 본 발명의 제7~제9상태의 반도체 집적회로에 대하여 상세하게 설명한다. 본 상태의 반도체 집적회로는 본 발명의 제2상태의 부호화 회로에 타이

밍 제어용 개수 검출회로로서 적용가능한 것이다.

본 발명의 제7, 제8 및 제9상태의 반도체 집적회로에서는 우선 제1신호선, 즉 신호전류검출선에 각각 병렬로 설치된 $M(M \geq 1)$ 개의 전류구동수단을 각각 제어하는 테이퍼 입력선에 입력되는 데이터 1 또는 0가운데, 검출하고 싶은 데이터의 개수 $k_0(M > k_0 \geq 0)$ 에 따라서 제2신호선이 기준전류구동선에 설치된 기준전류구동수단에 흐르는 기준전류(레퍼런스전류)치(i_r), 즉 1개의 전류구동수단에 흐르는 전류치(i_0)의 k_0 배(培)보다 크고 k_0+1 보다 작은 전류치($k_0 i_0 < i_r < (k_0+1)i_0$)를 미리 설정하여 놓는다. 또 검출에 앞서서 제1 및 제2의 양 신호선은 소정의 동(同)전위로 프리차아지된다. 따라서 이들 신호선에 직렬 또는 병렬로 접속되는 제1 및 제2의 양 인버터의 입력도 반전출력도 동일하며, 차전류 검출수단에의 양 입력도 동일하게 된다.

이 때문에, 본 상태의 반도체 집적회로에서 동작 타이밍으로 되며 테이퍼 입력선에 소정의 데이터가 입력되며 모든 전류구동수단이 액티브로 되면, 이들의 전류구동수단에는 각각 전류(i_0)가 흐르기 때문에 개수 $k_0(M > k \geq 0)$ 에 따른 전류(i_0)($i = ki_0$)가 신호전류검출선에 흐른다.

이에 대하여 기준전류구동선에는 기준전류구동수단에 따라서 기준전류치(i_r)가 흐른다. 이 결과, 미리 소정전위로 프리차아지되어 있던 신호전류검출선 및 기준전류구동선의 전위가 저하하기 시작하고, 액티브로 되어 있는 전류구동수단의 개수 k 가 k_0 보다도 클때 신호전류검출선의 전위의 폭이 빠르게 저하하고 한편 k_0 이하일 때 기준전류구동선의 전위폭이 빠르게 저하한다.

그런데, 본 발명의 반도체 집적회로에서는 어느 쪽인가 한쪽의 신호선의 전위가 이 신호선에 접속된 인버터의 문턱전압을 넘어서 저하하면 이 인버터의 출력은 반전한다. 여기에서 본 발명의 제7상태의 반도체 집적회로에서는 이 신호선에 직렬로 접속된 인버터의 반전출력이 반전을 직접적으로 저전류 검출수단에 의하여 검출할 수 있다. 또 본 발명의 제8 및 제9상태에서는 그 신호선에 병렬로 접속된 인버터의 반전출력의 반전에 의하여 그 신호선에 직렬로 접속된(인버터와 병렬로 접속되며) 트랜지스터만을 온시켜서 그 신호선에 전류를 흘려보내고 그 전위를 저하시킬 수 있으며 차전류 검출수단에 의하여 그 입력전위의 저하를 검출할 수 있다. 따라서, 상기 제1 및 제2 양 신호선에 흐르는 전류치(i)와 전류치(i_r)와의 차전류를 차전류 검출수단에 의하여 검출하고, 이 차전류 부호의 역전, 즉 양 전류치(i)와 전류치(i_r)와의 대소관계의 역전(타이밍)을 출력한다.

이렇게 하여 각 데이터 입력선에 입력되는 데이터중의 필요로 하는 데이터의 개수 k 가 미리 설정된 검출하고자 하는 데이터의 개수 k_0 로 되었던 것을 검출한다. 이리하여 본 발명의 반도체 집적회로는, 데이터 입력선에 입력된 필요로 하는 데이터의 개수를 검출할 수 있다.

여기에서 양 신호선에 접속되는 인버터의 문턱값을 조정하므로서, 양 신호선의 차전류의 검출시에 이것에 의한 양 신호선의 전위의 차이를 비교적 크게 취할 수 있다. 따라서 이때, 안전하고 정확하고 신속하게 한쪽 인버터만의 반전출력을 반전할 수 있다. 또 인버터는 스스로 구동능력을 가지고 있기 때문에 본 발명의 제7실시예에 있어서는 한쪽의 인버터의 반전에 의하여 차전류 검출수단에의 입력신호의 초기치의 전류레벨을 높일 수 있고, 검출개시시의 양 신호선이 차전류에 의한 2개의 입력신호의 전압차를 크게 취할 수 있으며, 그 검출동작을 확실하고 안정하게 할 수 있다. 또 본 발명의 제8 및 제9상태에 있어서는 인버터의 반전에 의하여 트랜지스터를 온하고, 먼저 한쪽의 신호선을 차전류 검출수단의 입력과 확실하게 도통시킬 수가 있기 때문에, 그 검출동작을 안정하고 정확하게 할 수 있다. 그 결과, 차전류 검출수단에 의한 양 신호선의 차전류의 역전검출을 안정하고 정확하게 또 신속하게 할 수 있다.

제18도에, 본 발명의 제7상태의 반도체 집적회로가 적용된 타이밍 제어회로(100)의 일상태의 구체적 회로도도를 나타낸다. 여기에서, 이 도면에 나타내는 타이밍 제어회로(100)는, 제8도에 나타내는 본 발명의 제2실시예의 부호화 회로(11)에 적용되는 것으로서, 제12도에 나타내는 본 발명의 제5도 상태의 타이밍 제어회로(61)와 인버터열(列)(102a), (104a), (102b), (104b) 및 트랜지스터(103a), (103b)가 설치되어 있는 점을 제외하고 모두 동일하기 때문에, 같은 구성요소에는 동일한 부호를 붙여서 그 상세한 설명은 생략한다.

제18도에 나타내는 바와 같이, 본 발명의 타이밍 제어회로(100)는, 제1신호선(신호전류검출선)(62)과 제2신호선(기준신호검출선)(64)과, 제1신호선(62)에 각각 병렬로 플래그 레지스터(18)의 $m+1$ 개의 데이터 래치회로(18₀), (18₁), ..., (18_m)의 각각에 대하여 설치된 $m+1$ 개의 전류구동회로(전류구동수단)(66₀), (66₁), ..., (66_m)과, 제2신호선(64)에 설치된 레퍼런스 전류구동회로(기준전류구동수단)(68)과, 제1신호선(62)과 제2신호선(64)에 흐르는 전류의 차이, 즉 차전류를 검출하는 차전류 검출회로(차전류 검출수단)(70)과, 제1신호선(62)과 제2신호선(64)과 차전류 검출회로(70)와의 사이에 설치되는 인버터(102a), (104a), (102b), (104b)와, 이 인버터 제어회로의 동작타이밍을 제어하는, 즉 전류구동회로(66₀), (66₁), ..., (66_m), 레퍼런스 전류구동회로(68) 및 차전류 검출회로(70) 등을 제어하는 프리차아지 제어 신호선(72)을 가지고 있다.

또, 본 발명의 타이밍 제어회로(100)에 있어서는 제1신호선(62) 및 제2신호선(64)의 한쪽의 단부 접점(p) 및 접점(q)는 각각 인버터(102a), (102b)에 접속되며 또, 인버터(104a), (104b)를 통하여 접점(a), (b)에 차전류 검출회로(70)에 접속되고, 다른쪽의 단부는 함께 프리차아지 트랜지스터(78)를 통하여 소정전위, 예를 들면 5V 전원에 접속된다. 또, 레퍼런스 전류구동회로(68)에 흐르는 레퍼런스전류(i_r)의 값은, 전류구동회로(66₀), (66₁), ..., (66_m)가

호르는 것이 가능한 전류치(i_0)와, 검출하는 히트신호의 개수에 따라서 적절하게 결정하면 좋으나, 최후 1개의 히트신호를 검출하기 위해서는 i_0 초(超) $2i_0$ 미만으로서 인버터(102a), (102b)의 반전 타이밍을 정확하게 구별할 수 있고, 이 반전에 따라서 차전류 검출회로(70)가 차전류를 검출가능한 전류치로 하면 좋다.

인버터(102a), (104a)는 제1신호선(62)과 차전류 검출회로(70)와의 사이에 접속되며, 한편, 인버터(102b), (104b)는 제2신호선(64)과 차전류 검출회로(70)와의 사이에 접속된다. 또 인버터(102a), (104a)와의 사이 및 인버터(102b), (104b)와의 사이에는 각각 소정의 저전위(예를 들면 접지전위)에 접속된 NMOS 트랜지스터(103a), (103b)가 접속되며, 이들의 게이트전극은 각각 접점(a)(인버터(104a)와 차전류 검출회로(70)와의 접점) 및 접점(b)(인버터(104b)와 차전류 검출회로(70)와의 접점)에 접속된다.

여기에서 인버터(102a), (102b)의 출력반전이 일어나는 문턱전압은, 인버터를 구성하는 PMOS 및 NMOS의 트랜지스터 폭 또는 문턱전압에 의하여 조정된다. 이 반전출력의 문턱전압을 조정하는 것으로, 한쪽 인버터만의 출력반전시에 있어서의 접점(p), (q)와의 차전류에 의한 전위차를 비교적 크게 하는 것이 가능하게 되며, 동작 마진을 크게 할 수 있다.

이어서, 본 발명의 타이밍 제어회로(100)의 검출동작을 플래그 레지스터(18)의 플래그 데이터의 히트신호가 최후의 1개로 되었던 것, 즉 최후의 비트신호를 검출하는데 작용을 대표예로서 설명한다. 여기에서 플래그 레지스터(18)에는 여러개의 비트신호(1)를 가지는 플래그 데이터가 유지되어 있으며, 레퍼런스전류(i_r)는, 1개의 전류구동회로(66)의 구동전류(i_0)의 1.5배, 즉, $1.5i_0$ 로 설정되어 있는 것으로 한다.

우선, 검출에 앞서서 프리차아지 제어신호선(72)을 L(로우 : 0)으로 하고, 양 프리차아지 트랜지스터(78), (79)을 온하여 제1신호선(62) 및 제2신호선(64)을, 접점(노우드) p와 q도 동일한 H(하이)전위(예를 들면 5V)로 프리차아지함과 동시에, 양 프리차아지 트랜지스터(83)을 온하여 차전류 검출회로(70)내의 접점 A 및 B를 동일한 H(하이)전위(예를 들면 5V)로 프리차아지하여 놓는다. 따라서 인버터(102a), (102b)에 의하여 인버터(102a), (104a), (102b), (104b)의 양 접속점은 L(로우)전위이고 인버터(104a), (104b)에 의하여 접점 a, b는 함께 H(하이)전위로 된다. 따라서 트랜지스터(103a), (103b)는 온하며, 양 인버터(102a), (104a) 및 (102b), (104b)와의 양 접속점 전위를 확실하게 L(로우)전위로 고정한다. 또, 차전류 검출회로(70)의 트랜지스터(82a), (82b), 모든 전류구동회로(66)이 트랜지스터(67d), 레퍼런스 전류구동회로(68)의 트랜지스터(69d)는 오프상태로 된다.

이어서, 프리차아지 제어신호(72)를 H(하이 : 1)로 하고 PMOS 트랜지스터(78), (83)를 오프하여 NMOS 트랜지스터(67d), (69d), (75d), (77d)를 온한다. 따라서, 레퍼런스 전류구동회

로(68)의 2개의 트랜지스터(69c), (69d)는, 함께 온하는 것으로 되며, 제2신호선(64)에는 레퍼런스전류(i_r)($=1.5i_0$)가 흐르고 접점(q)의 전위를 저하시킨다. 한편, $m+1$ 개의 전류구동회로(66₀), (66₁), ..., (66_m) 가운데, 플래그 레지스터(18)의 플래그 데이터가 비트신호 1인. 데이터 래치회로(18_j)에 접속된 게이트전극을 가지는 신호전압인가 트랜지스터(67c)는 온하며, 제어 트랜지스터(67d)는 온하고 있기 때문에, 이 전류구동회로(66j)에는 제1신호선(62)로부터 구동전류(i_0)가 흐른다. 그런데, 플래그 레지스터(18)의 플래그 데이터에는 비트신호 1이 여러개, 예를 들면 $k(k \geq 2)$ 개 있기 때문에, 제1신호선(62)에는 ki_0 의 전류가 흐르는 것으로 되며, 접점(p)의 전위도 그것에 따라서 저하된다.

여기에서, k 가 2보다 클때는, 제1신호선(62)에 흐르는 전류(ki_0)는 제2신호선(64)에 흐르는 레퍼런스전류(i_r)($=1.5i_0$)보다 크기 때문에, 접점(q)의 전위에 비하여 접점(p)의 전위쪽이 접점(q)보다도 빠르게 인버터의 출력반전전위(문턱값)에 도달하고, 인버터(102a)의 출력반전이 인버터(102b)의 출력반전보다도 빠르게 일어나며, 인버터(104a)가 빠르게 출력반전한다. 즉, 인버터(102a) 및 인버터(104a)만이 먼저 출력반전하고, 접점(a)의 전위강하가 발생하며, 차전류 검출회로(70)의 NMOS(82a)의 게이트전위(접점 B의 전위)와 소스전위(접점 a의 전위)의 차이가, NMOS(82a)의 기판 바이어스된 문턱전압(예를 들면 1.4V)보다 크게 되고(예를 들면 접점 B의 전위가 5V인때 접점 a의 전위가 3.6V보다 낮음), NMOS(82a)는 온하고, 접점(A)의 전위가 저하하며, L(로우)상태로 된다.

또, 접점 a의 전위저하에 의하여 NMOS(103a)는 오프하고, 인버터(102a)와 (102b)와의 접속점을 H(하이)상태로 유지한다.

한편, 이때, 접점(q)(제2신호선(64)는 인버터(102b)의 출력(문턱값)에 도달하고 있지 않고, 양 인버터(102b), (104b)의 출력반전은 일어나지 않으며, 접점(b)의 전위는 H(하이)상태 그대로 유지되고, NMOS(82b)는 오프상태가 유지되며, 접점(B)는 H(하이)상태 그대로 유지된다.

이후, 양 신호선(62), (64)에 다시 전류가 흐르고, 접점(p), (q)의 전위가 저하하고, 접점(q)의 전위가 인버터(102b)의 문턱값을 넘어서 저하하고, 그 출력반전이 일어나면 인버터(104b)의 출력반전을 일으키고, 접점(b)의 전위저하가 생겨도 NMOS(82b)의 게이트전위(접점(A)의 전위)는 L(로우)상태가 유지되어 있기 때문에, NMOS(82b)는 오프상태가 유지되며 접점(B)의 전위는 H(하이)상태 그대로 유지된다.

이렇게 하여 차전류 검출회로(70)의 래치동작에 따라 설정은 H(하이) 1을 유지하며, 이것에 접속되어 있는 인버터(84)에 의하여 반전되고 앤드회로(88)에 L(로우) 0이 출력되는 것으로 된다.

한편, 접점(A)은 L(로우) 0을 유지한다.

이어서 플래그 레지스터(18)내의 여러개의 비트신호 1이 앤코드됨에 따라서 하나하나 0으로 리셋되고 잔존하는 비트신호가 1개로 된 때에, 본 발명의 타이밍 제어회로(100)의 검출동작을 행하면, 즉 처음에 프리차아지 제어신호선(72)에 0을 입력하여 프리차아지하고, 이어서 1을 입력하면 상술한 것과 같이 제1신호선(62)에는 전류(i_0)가, 제2신호선(64)에는 레퍼런스전류(i_r)($=1.5i_0$)가 흐르는 것으로 된다.

이때, 제2신호선(64)에 흐르는 전류쪽이 크기 때문에 접점(q)의 전위쪽이 접점(p)의 전위보다도 빠르게 저하하고 상술한 것과는 반대로 인버터(102b) 및 인버터(104b)의 출력반전이 일어나고, 접점(b)만이 먼저 저하하고, NMOS(82a)는 오프상태를 유지한다. 따라서 접점(B)의 전위가 L(로우)레벨로 저하하고 인버터(84)에 반전되고, 전술의 앤드회로(88) H(하이) 1이 출력된다. 한편, 접점(A)의 전위는 H(하이) 1 전위로 유지된다.

이상에서, 본 발명의 타이밍 제어회로(100)의 인버터(84)로부터 출력되는 출력신호가 0이라면, 플래그 레지스터(18)내에 유지되어 있던 비트신호 1은, 2개 이상 이 출력신호가 1이라면 비트신호는 1개 이하인 것을 알 수 있다. 따라서 출력신호가 0으로부터 1로 변화한 때에, 앤드회로(88)에 의하여 이 검출결과, 즉 1 신호와 전술의 플래그 레지스터(18)의 리셋트신호로부터 전환제어신호를 얻고 이 전환제어신호를 사용하여 플래그 레지스터(18)내의 플래그 데이터를 프리페치회로(16)내의 플래그 데이터로 전환하면 좋다. 물론, 여기에서 출력신호는 접점(A)만 또는 접점(A) 및 접점(B) 양쪽으로부터 불러내어도 좋다.

상술한 바와 같이, 양 신호선(62), (64)에 접속되는 인버터(102a), (102b)의 문턱전압을 적절하게 조절하므로써 양 신호선(62), (64)의 차전류에 의하여 일어나는 양 접점(b), (q)의 전위전하의 차를, 예를 들면, 작아도 확실하게 검출하고, 반드시 먼저 한쪽의 인버터만을 출력반전시킬 수 있다.

인버터는 구동능력을 가지고 있기 때문에, 출력반전에 의하여 접점(a), (b)의 전위를 높일 수 있으며, 차전류 검출회로(70)에 의한 검출개시시에 있어서의 접점(a), (b)의 전위차를 크게 할 수 있으며, NMOS(82a), (82b)의 한쪽만을 확실하게 온시킬 수 있다. 따라서, 차전류 검출회로(70)의 검출동작을 안정하고 확실하게 행할 수 있다. 즉 차전류 검출회로(70)의 검출개시에 있어서의 접점(a), (b)의 전위차가 양 신호선의 접점(p), (q)의 전위차에 비하여 크게 취해지기 때문에 트랜지스터(82a), (82b)중 어느 한쪽의 온(ON)동작이 오동작으로 되는 일은 없다.

따라서, 본 발명의 제7상태의 반도체 직접회로가 적용된 타이밍 회로는, 노이즈 마진이 크고 노이즈 영향을 받기 어렵기 때문에, 항상 정확하고 안정한 타이밍 검출을 할 수 있다. 물론 인버터(102a), (102b)의 출력 변화를 위한 입력문턱전압을 낮게 조정하므로써 한쪽의 인버터가 동작하기 시작하는 때의 접점(p), (q)의 전압차를 보다 크게 하고 또 안정한 동작이 가능하게 되는 것은 말할 나위도 없다.

또, 도시한 예(例)의 타이밍 회로(100)는, 양 신호선(62), (64)과 차전류 검출회로(70)와의 사이에 각각 2단의 인버터(102a), (104a) 및 (102b), (104b)를 사용하고, NMOS(82a), (82b)에 의한 접점(A), (B)중 어느 한쪽의 전위의 감산에 의하여 검출하는 것이지만 본 발명은 이것에 한정되지 않고, 인버터를 1단으로 하고, PMOS 트랜지스터에 의하여 접점(A), (B)중 어느 한쪽의 전위를 끌어 올리는 차전류 검출회로에 의하여 구성하여도 좋다.

본 발명의 제7상태의 반도체 집적회로가 적용된 타이밍 회로(100)는, 기본적으로 이상과 같이 구성된다.

이어서, 본 발명의 제8상태의 반도체 직접회로에 대하여 설명한다.

제19도에 본 발명의 제8상태의 반도체 직접회로가 적용된 타이밍 회로의 일실시예를 나타낸다. 제19도에 나타내는 타이밍 제어회로(106)는 제18도에 나타내는 타이밍 제어회로(100)와 2단의 인버터(102a), (104a), (102b), (104b) 대신에 인버터(108a), (108b) 및 트랜지스터(109a), (109b)가 설치되어 있는 점을 제어하고, 모두 동일한 구성을 가지기 때문에 동일구성요소에는 동일한 번호를 붙인다. 그 상세한 설명은 생략한다.

제19도에 나타내는 타이밍 제어회로(106)에는 제1신호선(62)의 한쪽의 단부접점(p)과 차전류 검출회로(70)의 NMOS(82a)의 소스전극측 접점(a)와의 사이에 NMOS 트랜지스터(109a)가 접속되고, NMOS 트랜지스터(109a)의 게이트전극과 접점(p)와의 사이에는 인버터(108a)가 접속되며, 제2신호선의 단부접점(q)과 NMOS(82b)의 소스전극측 접점(b)와의 사이에 NMOS 트랜지스터(109b)가 접속되고, NMOS 트랜지스터(109b)의 게이트전극과 접점(q)와의 사이에는 인버터(108b)가 접속된다.

여기에서 인버터(108a), (108b)의 문턱값은, 인버터(102a), (102b)와 같이 조정된다.

제18도에 나타내는 타이밍 제어회로(100)와같이, 제19도에 나타내는 타이밍 제어회로(106)에서도, 프리차아지 제어신호선(72)의 L신호에 따라서, 접점(A), (B), (a), (b), (p), (q)은 모두 H상태 프리차아지 된다.(예를들면, 접점(A), (B), (p), (q)는 전원전압(V_{dd} , 예를들면 5V), 접점(a), (b)는 NMOS(82a), (82b)의 기판 바이어스된 문턱값(예를들면 1.4V)에 의하여

3.6V로 프리차아지된다.)

이어서, 신호선(72)를 H로 함으로써 제1신호선(62)에는 플래그 레지스터(18)의 비트신호 1에 의하여 액티브되는 전류구동회로(66)에 의하여 비트신호의 갯수 k 에 따른 $k i_0$ 의 전류 인입이 발생하고, 이에 따라서 전압이 강하하고 제2신호선(64)에는 레퍼런스전류 검출회로(68)에 의한 $i_r(1.5 i_0)$ 의 전류 인입이 발생하고, 이에 따라서 전압이 강하한다.

이 때, 액티브로 되는 전류구동회로(66)의 개수 k 가 2 이상인 때에는 제1신호선(62)쪽이 제2신호선(64)보다도 전압강하가 빠르다.

따라서, 접점(b)쪽이 접점(q)보다도 빠르게 인버터의 문턱전압에 도달하고, 인버터(108a)의 출력반전이 인버터(108b)의 출력반전보다도 빠르게 일어난다.

이 때문에, NMOS 트랜지스터(109a)가 NMOS 트랜지스터(109b)보다도 먼저 온된다. 이 때문에 접점(a)의 전위강하가 발생하고 차전류 검출회로(70)의 NMOS(82a)가 온하고, 접점(A)의 전위는 L(로우)레벨로 된다. 그 결과, 이 후, 접점(q)의 전위가 다시 저하하고 인버터(108b)가 출력반전하고 트랜지스터(109b)가 온하여 접점(b)의 전위강하가 발생하여도 NMOS(82b)의 게이트 전위(접점(A)의 전위)가 이미(L)로 되어 있기 때문에 NMOS(82b)는 온하는 일은 없고 오프상태를 유지하며, 접점(B)의 전위는 H상태를 유지하는 것으로 된다.

따라서, 타이밍 제어회로(106)의 출력인 인버터(84)의 출력은 L(로우)홀드된다.

반대로, 액티브로 되는 전류구동회로(66) 개수 K 가 1이하인 때에는, 반대로 제2신호선(64)에 흐르는 전류(i_r)의 쪽이 제1신호선(62)에 흐르는 전류(i)보다도 크고, 접점(p)로부터 접점(q)의 전압강하쪽이 크다. 이 때문에 인버터(108b)가 출력반전하고, 트랜지스터(109b)가 온하고, 접점(b)의 전위강하가 발생하고 계속하여 NMOS(82b)가 온하여 접점(B)의 전위는 L(로우)레벨로 된다. 한편, NMOS(82a)는 그 게이트전극(접점(B))의 전위가 L레벨이기 때문에 접점(a)의 전위에도 불구하고 즉 접점(p)의 전위 발생하고, 인버터(108a)가 출력반전하며, 트랜지스터(109a)가 온하여 접점(a)의 전위가 강하하여도 NMOS(82a)는 온하는 일은 없다. 따라서, 접점(A)의 전위가 H레벨로 유지된다.

이 결과, 접점(B)의 전위가 인버터(84)에 의하여 반전되고, 타이밍 제어회로(106)로부터는 H레벨로 변화한다. 이렇게 하여 플래그 레지스터(18)내의 비트신호가 1이 나머지 1개로 된 것을 검출할 수 있다.

도시한 예의 타이밍 제어회로(106)에서는 인버터(108a), (108b)의 문턱값의 조정함으로써,

차전류 검출회로(70)의 검출동작 개시시, 즉 NMOS(82a, 82b)중 어느 한쪽이 온하는 시점에서 접점(a), (b)의 전위차를 설정하는 것이 가능하고, 노이즈 마진이 큰 항상 안정한 정확한 타이밍 검출을 할 수 있다.

본 발명의 제9상태의 반도체 직접회로가 적용된 타이밍 회로가 제20도에 도시된다. 이 도면에 나타내는 타이밍 회로(110)는, 제19도에 나타내는 타이밍 제어회로(106)에, 다시 접점(a), (b)전위를 소정전위, 예를 들면 전원전위(Vdd) (예를들면 5V)까지 프리차아지하는 프리차아지 PMOS 트랜지스터(78), (78) 및 같은 전위로 하기 위하여 양 접점(A), (B)을 접속하는 PMOS(87)부가한 것이다.

이들의 PMOS(78), (78), (79)의 게이트전극은 프리차아지 제어선(72)에 접속된다.

여기에서, 제19도에 나타내는 타이밍 제어회로(106)에 있어서, 처음에 접점(A), (B), (p), (q)의 전원전위 5V의 프리차아지되면, 접점 (a) 및 (b)의 전위는 3.6V의 H상태로 되는 것에 대하여, 제20도에 나타내는 타이밍 제어회로(110)에 있어서는, 접점 (a) 및 (b)의 전위도 5V까지 끌어 올려 놓을 수 있다. 이 때문에 차전류 검출회로(70)의 검출동작 개시시점, NMOS(82a) 및 (82b)중 어느 하나가 온하는 시점에서의 접점(p), (q)의 전위차를 제19도에 나타내는 타이밍 제어회로(106)보다도 더 크게 할 수 있다. 따라서, 제20도에 나타내는 타이밍 제어회로(110)는, 더욱 노이즈 마진이 크고 항상 정확하고 안정한 타이밍 검출을 할 수 있다.

또, 제21도에 나타내는 타이밍 제어회로(112)와 같이 전류구동회로(66)와 레퍼런스전류 구동회로(68)의 제어트랜지스터(67d), (69d), (75d), (77d)를 마진하여 공동화한 제어트랜지스터(67e), (77e)를 사용하여도 좋은 것은 말할 나위도 없다.

또, 플래그 레지스터(18)의 초기치 설정을 위해서는, 제22도에 나타내는 초기치 설정신호를 받은 OR 논리회로(114)를 AND 회로(88)와 플래그 레지스터(18)와의 사이에 삽입한다.

또, 본 상태의 타이밍 제어회로(100), (106), (110), (112)가 적용된 제8도에 나타내는 부호화 회로(11)의 메인 엔코더(12)의 엔코드 동작은 제13도에 나타내는 타이밍 차트와 같기 때문에 그 설명은 생략한다.

본 발명의 제8 및 제9상태의 반도체 직접회로를 적용한 타이밍 제어회로는 기본적으로 이 상과 같이 구성 된다.

이상 설명한 바와 같이, 본 발명의 제7, 제8, 제9상태의 반도체 직접회로에 의하면, 제1 및

제2신호선과 차전류 검출수단과의 사이에 각각 인버터를 직렬 또는 병렬로 설치하고, 인버터의 출력반전의 문턱전압을 조정함으로써, 차전류 검출수단의 검출개시시에 있어서의 차전류 검출수단에의 2개의 입력신호의 전위차를 비교적 임의롭게 설정할 수 있기 때문에 차전류 검출수단의 검출불능이나 오동작이 일어나는 일은 없다. 따라서, 본 발명에 의하면 항상 정확하고 안정한 양 신호선간의 차전류의 크기 및 역전 타이밍의 검출동작을 할 수가 있다. 즉, 본 발명의 반도체 직접회로는 노이즈 영향을 받기 어렵고, 동작마진이 큰 안정한 회로이고, 연상 메모리등의 부호화 회로의 부호화 종료를 예측하는 타이밍 제어회로로서 가장 적합하게 사용할 수 있다.

여기에서, 본 발명의 제7상태에 의하면, 인버터가 출력반전한 후, 제1 및 제2신호선의 전위변화와 관계없이 차전류 검출수단의 검출동작을 행할 수가 있다. 또, 본 발명의 제9상태에 의하면, 제8상태에 비하여 동작마진을 더욱 크게 취할 수가 있다.

다음에, 제23도를 참조하여 본 발명의 제10상태의 반도체 직접회로에 대하여 설명한다. 본 상태의 반도체 직접회로는 본 발명의 제2상태의 부호화 회로에 타이밍 제어회로용 개수검출회로로서 적용가능한 것이다.

본 상태의 반도체 직접회로에서는 먼저 데이터 레지스터에 유지되어 있는 데이터 0 또는 1 중의 한쪽의 데이터의 검출하기 위한 개수 k_0 ($M \geq k_0 \geq 0$: 여기서 ($M \geq 1$)은 데이터 레지스터에 유지가능한 데이터의 개수)와 같은 개수의 데이터를 레퍼런스전류 제어레지스터에 유지시킨다. 예를들면, 데이터 레지스터에 유지되어 있는 데이터 1이 k_0 개수로 된 것을 검출하는 것이면, 레퍼런스전류 제어레지스터 k_0 개수의 데이터 1로 유지시킨다.

여기서 제1의 신호선, 즉 신호전류 검출선에 각각 병렬로 설치되어 데이터 레지스터에 유지되어 있는 데이터에 의하여 제어되는 M개의 신호용 단위전류 구동수단과, 제2의 신호선의 레퍼런스전류 구동선에 각각 병렬로 설치되고, 레퍼런스전류 제어레지스터에 유지된 데이터에 의하여 제어되는 N 개의 레퍼런스용 단위 전류 구동수단의 각각에 흐르는 전류는 각각 동일한 전위전류 i_0 로서 레퍼런스전류 구동선에 설치한 레퍼런스 오프셋전류 구동수단에 흐르는 오프셋전류 i_{0s} 를 단위전류 i_0 보다 적은 전류값($i_{0s} < i_0$)으로 미리 설정하여 둔다. 따라서, k

개의 레퍼런스용 단위전류 구동수단 및 레퍼런스 오프셋전류 구동수단을 통하여 레퍼런스전류 구동선에 흐르는 레퍼런스 전류 $i_r (=k_0 i_0 + i_{0s})$ 는 $k_0 i_0$ 보다 크고 $(k_0 + 1)i_0$ 보다 적은 전류값($k_0 i_0 < i_r < (k_0 + 1)i_0$)로 된다.

이 때문에, 본 발명의 반도체 직접회로에 있어서, 동작 타이밍이 되면, 필요한 데이터가 유

지되어 있는 데이터 레지스터에 대응하기 위한 신호용 단위전류 구동수단에는 각각 단위전류 i_0 가 흐르므로 이 개수 k ($Mk \geq 0$)에 따른 전류 i ($i = ki_0$)가 신호전류 검출선에 흐름에 대하여 레퍼런스전류 구동선에는 상술한 바와 같이 레퍼런스전류값 i_r 이 흐른다.

이 양 신호선에 흐르는 전류값 i 와 i_r 차 전류를 차전류 검출수단에 의하여 검출하고, 이 차전류 부호의 역전, 즉 양전류값 i 와 i_r 과의 대소 관계의 역전(타이밍)을 출력한다. 이와 같이, 각 데이터선에 입력되는 데이터 중에 필요한 데이터의 개수 k 개가 미리 설정된 검출하기 위한 데이터 개수 k

으로 되는 것을 검출한다. 이와 같이 본 발명의 반도체 직접회로는 데이터 레지스터에 유지되어 있는 필요한 데이터의 개수를 검출할 수가 있다. 또, 이 데이터의 검출개수는 레퍼런스전류 제어레지스터에 설정 유지되는 필요한 데이터의 개수를 변화하는 것에 의하여 임의로 설정할 수가 있다.

제23도에 본 발명의 반도체 직접회로가 적용된 반도체 제어회로(116)의 일실시예의 구체적인 회로도도를 나타낸다. 여기서 동 도면에 나타낸 타이밍 제어회로(116)은 제8도에 나타낸 본 발명의 제2의 상태의 부호화 회로에 적용됨에 있어서, 제12도에 나타낸 본 발명의 제5의 상태의 타이밍 제어회로(61)와, 레퍼런스전류 제어레지스터(118) 및 오아(OR)회로(114)가 설치되어 있는 점을 제거하면 완전히 동일함으로 동일한 구성요소에는 동일한 부호를 부착하고, 이 상세한 설명은 생략한다. 직렬접속 트랜지스터(75c) 및 (75d)은 제12도에 나타낸 타이밍 제어회로(61)에서 타이밍 회로(74)로서 사용되어 있지만, 제23도에 나타낸 본 상태의 관계되는 타이밍 제어회로(116)에 있어서는 NMOS 트랜지스터(75c)의 게이트를 레지스터(118)의 출력에 접속하고, 레퍼런스 단위전류 구동회로(74)로서 가능하게 하고 있다.

동도면에 나타낸 바와 같이 본 발명의 타이밍 제어회로(116)은 $m+1$ 개의 데이터 래치회로(18_0), (18_1), ..., (18_m)으로 되는 레퍼런스전류 제어레지스터(118)과, 제1신호선(신호전류 검출선) (62)와 제2신호선(레퍼런스전류 구동선) (64)와, 제1신호선(62)에 각각 병렬로 플래그 레지스터(18)의 $m+1$ 개의 데이터 래치회로(118_0), (118_1), ..., (118_m)의 각각에 대하여 설치된 $m+1$ 개의 신호용 단위전류 구동회로(신호용 단위전류 구동수단) (66_0), (66_1), ..., (66_m)와, 제2신호선에 대하여 각각 병렬로 레퍼런스전류 제어레지스터(118)의 $m+1$ 개의 데이터 래치회로(118_0), (118_1), ..., (118_m)의 각각에 대하여 설치된 $m+1$ 개의 레퍼런스용 단위전류 구동회로(레퍼런스용 단위전류 구동수단) (74_0), (74_1), ..., (74_m)와 제2신호선(64)에 설치된 레퍼런스 오프셋전류 구동회로(레퍼런스 오프셋전류 구동수단) (68)과, 제1신호선(62)과, 제2신호선(64)에 흐르는 전류의 차, 즉 차전류를 검출하는 차전류 검출회로(차전류 검출수단) (70)와, 이 타이밍 제어회로의 동작타이밍을 제어하며, 즉, 단위전류 구동회로 (66), (66_0), (66_1), ..., (66_m) 및 (74), (74_0), (74_1), ..., (74_m), 레퍼런스 오프셋전류 구동회로(68) 및 차전류 검출회로(70)등을 제어하는 프리차이지 제어신호선(72)를 가지고 있다.

레퍼런스전류 제어레지스터(118)은 플래그 레지스터(18)와 동일한 구성을 가지며, $m+1$ 개의 데이터 래치회로(118₀), (118₁), ..., (118_m)으로 되고, 플래그 레지스터(18)의 각각의 데이터 래치회로(18₀), (18₁), ..., (18_m)에 각각 유지되어 있는 플래그 데이터(비트신호 1)의 검출하기 위한 개수 $k_0(m+1, k_0 \geq 0)$ 에 따라 k_0 개의 데이터(비트신호) 1을 k_0 개의 데이터 래치회로(118_j)에 유지시키기 위한 것이다. 레지스터(118)의 데이터 래치회로(118_j)에 유지시키는 데이터(비트신호) 1의 개수는 외부로부터 임의로 설정하는 것도 가능하고, 검출개수 k_0 도 필요에 따라서 임의로 설정할 수가 있다. 또, 레지스터(118)의 데이터 래치회로(118₀), (118₁), ..., (118_m)중의 k_0 데이터 래치회로(118_j)에 데이터 1을 유지시키는 것도 임의이다.

레퍼런스용 단위전류 구동회로(74)는 단위전류 구동회로(66)과 전부 동일한 구성을 가지며, 한쪽이 제2신호선(64)에 접속되고, 다른쪽이 접속되는 2개의 직렬접속 N채널 MOS 트랜지스터로 구성되는 신호인가 트랜지스터(75c) 및 제어트랜지스터(75d)으로 되고, 신호선(64)쪽의 신호인가 트랜지스터(75c)의 게이트전극은 레퍼런스전류 제어레지스터(118)의 각각 대응하는 데이터 래치회로(118_j)의 출력단자(Q)에 접속되고, 접지쪽의 제어레지스터(75d)의 게이트전극은 제어신호선(72)에 접속된다. 또, 단위전류 구동회로(74)는 단위전류 구동회로(66)과 전부 동일하게 검출시에 있어서 제어트랜지스터(75d)가 온하고, 신호인가 트랜지스터(75c)는 그의 게이트전극에 레퍼런스전류 제어레지스터(118)로부터 신호 1이 입력된 때에 온할때에 제2신호선(64)로부터 단위전류 i_0 를 흐르도록 구성되어 있다. 따라서 검출개수가 k_0 개일때 레퍼런스전류 제어레지스터(118)에는 k_0 개의 비트신호 1가 유지되어 있으므로 k_0 개의 레퍼런스용 단위전류 구동회로(74)가 온하고, 모든 회로에서 $k_0 i_0$ 의 전류가 제2신호선에 흐르는 것으로 된다. 이 단위전류 i_0 는 전부 단위전류 구동회로(66₀), (66₁), ..., (66_m) 및 (74₀), (74₁), ..., (74_m)으로 동일하게 되도록 구성되었으나 사용되는 트랜지스터(67c), (67d) 및 (75c), (75d)의 오차 예를 들면, 프로세서에 의한 오차 정도의 오차는 존재하여도 좋다.

이에 대하여 레퍼런스 오프셋전류 구동회로(68)은 제2신호선에 소정의 레퍼런스 오프셋전류 i_{os} 흐르기 위한 것이다. 레퍼런스 오프셋전류 i_{os} 의 값은 단위전류 i_0 보다 작은 전류값($i_0 i_{os} < 0$)에 있어 후술하는 차전류 검출회로(70)이 차전류를 검출가능한 전류값으로 하여도 좋다. 이 전류값 i_{os} 은 단위전류 i_0 및 단위전류 구동회로(66) 및 (74)를 구성하는 트랜지스터(67c), (67d), (75c), (75d) 및 레퍼런스 오프셋전류 구동회로(68)를 구성하는 트랜지스터(69c), (69d)등의 회로소자의 오차를 고려하여 결정하면 좋으나, 예를들면, $i_{os} = 0.2i_0 \sim 0.8i_0$ 로 되는 것이 바람직하다.

이 결과, 검출시에 제2신호선에 흐르는 레퍼런스전류 i_r 의 값은 검출개수(검출하는 비트신호 개수) k_0 개의 단위전류 구동회로(74)에 흐르는 전류값 $k_0 i_0$ 와 레퍼런스 오프셋전류 구동회로(68)에 흐르는 레퍼런스 오프셋전류값 i_{os} 와의 합($k_0 i_0 + i_{os}$)로 가해지고, 단위전류값 i_0 의 k_0 배보다 크고, k_0+1 배보다 작은 전류값($k_0 i_0, i_r(k_0+1)i_0$)로 된다.

예를들면 최후의 1개의 비트신호를 검출하기 위하여는 레퍼런스전류값 i_r 은 i_0 과 초과 $2i_0$ 미만으로 되

지만, 상술한 바와 같이 구성회로 소자의 오차와, 차전류 검출회로(70)의 마진을 고려하여 $i_r=1.2i_0 \sim 1.8i_0$ 로 하는 것이 좋다.

차전류 검출회로(70)의 앤드회로(88)의 출력은 전술의 플래그 레지스터(18)의 클럭단자에 접속된다. 또한 이 앤드회로의 출력이 오아회로(114)의 1입력에 접속되고 이 오아회로(114)의 다른쪽은 초기 값 제어신호에 접속되어 있다.

다음에 본 발명의 타이밍 제어회로(116)의 검출동작을 플래그 레지스터(18)의 플래그 데이터의 비트 신호가 최후의 1개로 된 것, 즉, 최후의 비트신호를 검출할 때의 작용을 대표예로서 설명한다. 여기서 플래그 레지스터(18)에는 복수의 데이터 래치회로(18_j)에 비트신호(1)를 갖는 플래그 데이터가 유지되어 있고, 레퍼런스전류 제어레지스터(118)은 1개의 데이터 래치회로(118_j)에 비트신호(1)을 갖는 데이터가 유지되고, 각 단위전류 구동회로(66) 및 (77)의 단위전류값 i_0 이고, 레퍼런스전류 오프셋 구동회로(68)의 레퍼런스 오프셋전류값 i_{0s} 는 $0.15i_0$ 로 설정되고, 따라서 레퍼런스전류 i_r 은 단위전류, i_0 의 1.5배, 즉 $1.5i_0$ 로 설정되어 있는 것으로 한다.

먼저, 검출에 우선하여 레퍼런스전류 제어레지스터(118)의 1개의 데이터 래치회로(118_j)의 비트신호 1을 래치홀드 시켜둔다. 또 프리차아지 제어신호선(72)을 L(로우 : 0)으로 하여 제1 및 제2의 신호선(62) 및 (64), 따라서 접점(노우드) (a) 및 (b)차전류 검출회로(70)내의 접점(A) 및 (B)를 동일하게 H(하이) 전위 (예를들면 5V)로 프리차아지 하여 둔다.

다음에 프리차아지 제어신호선(72)을 H(하이 : 1로 하여 PMOS 트랜지스터(78), (79), (83)를 오프하여 제어트랜지스터(67b), (69d), (75d)를 온한다. 따라서 레퍼런스전류 제어레지스터(118)의 비트신호 1의 유지하고 있는 1개의 데이터 래치회로(118_j)에 대응하는 단위전류 구동회로 (74_j)의 2개의 NMOS 트랜지스터(75c) 및 (75d) 그리고 레퍼런스 오프셋전류 구동회로(68)의 2개의 NMOS 트랜지스터(69c) 및 (69d)는 같이 온하는 것으로 되고, 제2신호선에는 레퍼런스전류 $i_r(=1.5i_0)$ 가 흐르는 접점(b)의 전위를 시킨다. 한편 $m+1$ 개의 단위전류 구동회로(66), (66₀), (66₁), ..., (66_m)중에 플래그 트랜지스터(18)의 플래그 데이터신호 1인 데이터 래치회로(18_j)에 접속된 단위전류 구동회로(66_j)에는 제1신호선(62)로부터 단위전류 i_0 가 흐른다.

그런데 플래그 레지스터(18)의 플래그 데이터에는 비트신호 1가 복수 예를들면 $k(k \leq 2)$ 개인 것으로 부터 제1신호선(62)에는 ki_0 의 전류가 흐르는 것으로 되고, 접점(a)의 전위도 이에 따라서 저하한다.

여기서 k 가 2보다 클때에는 제1신호선(62)에 흐르는 전류 ki_0 는 제2신호선(64)에 흐르는 레퍼런스전류 $i_r(=1.5i_0)$ 보다 크기 때문에 접점(A)의 전위가 저하하고, 0으로 되지만, 한편 이 때, 접점(B)는 1을 유지하고 이에 접속되어 있는 인버터(84)에 의하여 앤드회로(88)에 0이 출력되는 것으로 된다.

다음에 플래그 레지스터(18)내의 잔존하는 비트신호 1개로 될 때에, 본 발명의 타이밍 제어회로(116)의 검출동작을 행하면, 접점(B)의 전위가 로우레벨로 저하하고, 인버터(84)에 반전되어 전술의 앤드회로(88)에 1이 출력된다. 이에 대하여 접점(A)의 전위는 H(하이)전위로 유지된다.이상으로부터 본 발명의 타이밍 제어회로(116)의 인버터(84)로부터 출력되는 출력신호 0으로부터 1로 변화한 때에 앤드회로(88)에 의한 이 검출결과, 즉 1 신호와 전술한 플래그 레지스터(18)의 리세트신호로부터 전환제어신호를 얻고, 이 전환제어신호를 사용하여 플래그 레지스터(18)내의 플래그 데이터를 프리패치회로(16)내의 플래그 데이터로 전환하여도 좋다.

또한, 제23도에 나타낸 바와 같이 타이밍 제어회로(116)에서는 단위전류 구동회로(66) 및 (74) 그리고 레퍼런스 오프셋전류 구동회로(68) 및 타이밍 회로(76)에 있어서, 신호인가 트랜지스(67c) 및 상시 오프트랜지스터(77c)를 제1신호선(62)쪽 및 신호인가 트랜지스터(75c) 및 상시 온 트랜지스터(69c)를 제2신호선(64)쪽에 설치되고, 제어트랜지스터(67d), (75d), (69d) 및 (77d)를 접지쪽에 설치하고 있지만, 본 발명은 이에 한정되지 않고, 역으로 배치하여도 좋다. 그러나 도시에의 배치로 하는 쪽이 바람직하고, 이러한 것에 의하여 검출동작 개시전에 있어서, 제1신호선(62) 및 제2신호선(64)로부터 온하고 있지 않은(비트신호 1가 게이트전극에 입력되고 있지 않음) 트랜지스터(67c) 및 (77c)에 각각 접속되어 있는 제어트랜지스터(67d), (77d) 및 (75d)에의 온전류에 의한 제1 및 제2 신호선(62) 및 (64)의 전압저하를 방지하고, 접점(A) 및 (B)의 분리개시시, 즉, 접점(a) 또는 (b)의 전위가 3.6V를 전환하는 시점에서 접점(a) 및 (b)의 전위차를 크게하여 차전류 검출회로(70)의 동작을 안전하고, 확실하게 할 수가 있다.

또, 상술한 예에서는 양단위 전류 구동회로(66) 및 (74)를 흐르는 단위전류 i_0 이지만, 본 발명은 이에 한정되지 않고, 상이하게 하여도 좋다. 이 때는 레퍼런스 오프셋전류 i_{os} 의 값에 따라서 레퍼런스전류 i_r 를 정하면 좋다. 또 레퍼런스 오프셋 i_{os} 를 단위전류 i_r 보다 적은 값으로 하고 있으나, 본 발명은 이에 한정되지 않고, 레퍼런스전류 제어레지스터에 비트신호 1를 유지시킨 데이터 래치회로의 개수 및 1개의 레퍼런스용 단위전류 구동회로(74)에 흐르는 레퍼런스용 단위전류의 값에 따라서 적절히 결정하여도 좋다.

본 상태의 타이밍 제어회로(116)은 기본적으로 이상과 같이 구성된다.

본 상태의 타이밍 제어회로(116)은 제2의 상태의 부호화 회로(11)에 적용할 수가 있지만, 이에 한정되지 않고, 복수의 검출노우드의 임의 개수의 검출을 필요로 하는 회로에 적용가능하다.

이상 상술한 바와 같이, 본 발명의 제10의 상태의 반도체 직접회로에 의하면 제2의 신호선에 설치되는 레퍼런스용 단위전류 구동수단을 제어하기 위한 것으로 소정 개수의 소정 데이터 예를들면, 데이터 1를 레퍼런스전류 제어레지스터에 유지시키는 것에 의하여 제1신호선에 설치되어진 신호용 단위전류 구동회로에 제어하기 위한 것으로 데이터의 소정 데이터의 개수를 검지할 수가 있다. 따라서 본

발명의 반도체 직접회로는 연상 메모리등의 부호화 회로의 부호화 종료를 예측하는 타이밍 제어회로로서 적합하게 사용할 수가 있다.

다음에 제24도~제27도를 참조하여 본 발명의 제3의 상태의 부호화 회로에 대하여 설명한다.

본 발명의 부호화 회로는 일치검색시에 연상 메모리장치를, 구성하는 연상 메모리블록에 검색 데이터가 입력되면, 복수의 연상 메모리 서브블록을 걸어 일치검색이 행해진다. 이 때, 각 연상 메모리 서브블록마다에 이 결과, 즉 복수의 연상 메모리 워드에 상기 검색 데이터와 일치하는 일치신호 9비트 신호를 포함하는 플래그 데이터가 유지함과 동시에 우선순위를 부착 서브블록 부호화 회로에 의하여 가장 우선순위가 높은 연상 메모리 서브블록이 선택되고, 이 플래그 데이터가 우선순위를 부착 메인 부호화 회로의 플래그 레지스터에 전송하여 유지시킨다. 이 플래그 레지스터내에 기억된 플래그 데이터 중의 비트신호를 이 우선순위부착 메모리 부호화 회로는 소정의 우선순위에 따라 부호화되고, 비트 어드레스를 출력한다. 그리고, 이 우선순위 부착 메모리 부호화 회로에서는 이 비트어드레스의 출력에 따라 플래그 레지스터내의 비트신호가 순차 리셋되어 있다.

한편 이 플래그 데이터의 부호화중에서 상기 우선순위부착 서브블록 부호화 회로에 의하여 선택된 다음의 우선순위 연상 메모리 서브블록의 플래그 데이터로 먼저 우선순위의 연상 메모리 서브블록의 플래그 레지스터의 모든 비트신호의 종료에 앞서 플래그 레지스터로 입력하는 준비를 하기 때문에 이 플래그 레지스터의 비트신호의 종료를 미리 검지할 수 있는 타이밍 검지제어회로에 의하여 플래그 레지스터내에 유지되어 있는 비트신호의 복수를 검지한다. 예를들면, 이 잔존하는 비트신호의 복수가 최후로 된 때 이 검지신호에 따라서 각 연상 메모리워드마다에 설치되는 플래그 데이터 센스회로에 의하여 다음의 우선순위 연상 메모리 서브블록의 플래그 데이터를 검출하고, 이 플래그 데이터의 모든 비트신호의 부호화 종료를 기다려 바로 우선순위 연상 메모리 서브블록의 플래그 데이터를 플래그 레지스터에 입력하여 이 플래그 데이터내의 비트신호의 부호화를 개시한다. 이들은 수순을 순차 조작하여 상기 연상 메모리 서브블록 전체의 비트신호의 부호화, 즉 어드레스 출력을 행한다.

본 발명의 부호화 회로에 의하면, 상술한 바와 같이 다음의 부호화를 위한 연상 메모리 서브블록의 플래그 데이터중의 비트신호가 먼저 연상 메모리 서브블록의 플래그 데이터의 비트신호의 부호화중에 플래그 데이터센스 검출회로에 의하여 플래그 레지스터에 입력의 준비가 되어 있으므로 상기 비트신호를 연상 메모리 서브블록으로부터 우선순위 부착 메인 부호화 회로의 플래그 레지스터까지 전송하는 시간을 없게 할 수가 있고, 플래그 레지스터내의 플래그 데이터의 최후의 비트신호의 부호화 개시 직전에 비트신호가 최후의 1개로 된 것을 검출하여 플래그 데이터 센스회로에 의하여 다음의 우선순위의 연상 메모리 서브블록의 플래그 데이터를 검출하고, 다음의 부호화 서브블록에서 이것을 얻어 입력된 플래그 데이터중의 비트신호의 부호화를 할 수가 있으므로 부호화 서브블록에 로스가 발생하는 일은 없으므로 연상 메모리 서브블록 전체 나아가서는 연상 메모리 서브블록 전체의 부호화 시간을 단축할 수가 있고, 연상 메모리장치의 일치검색동작을 고속화 할 수 있다.

즉, 본 발명의 부호화 회로는 1개의 연상 메모리 서브블록의 플래그 데이터를 부호화하고 있을 때에 부호화하기 위한 플래그 데이터의 비트신호수가 최후의 1개로 되면 다음에 부호화하기 위한 연상 메모리 서브블록의 플래그 데이터가 신호선에 도출되어 부호화의 종료와 함께 플래그 레지스터에 도입된다. 이 때문에 플래그 데이터를 효율적으로 신속하게 부호화 되고, 또 프리패치회로등이 불필요하여 칩상의 점유면적도 적게 할 수가 있다.

이하에, 본 발명에 관한 부호화 회로를 첨부한 도면에 나타낸 적합한 실시예에 따라서 상세히 설명한다.

제24도로부터 제27도는 발명의 일실시예에 관한 부호화 회로를 나타내고 제24도는 본 발명의 부호화 회로의 연상 메모리부분을 포함하는 구성도, 제25도가 부분 회로도, 제26도가 그의 주요 회로의 회로도, 제27도가 타이밍 차트이다. 이들의 도면에 나타나는 부호화 회로(120)은 제8도~제10도에 나타낸 부호화 회로(11)과 상이한 점은 프리패치회로(16)가 없을 뿐이고, 기본적으로 동일한 구성을 가지고 있으므로 동일한 구성요소에는 동일 부호를 부치며, 이 설명을 생략한다.

또한 제24도에는 플래그 데이터 센스회로(126)에 관하여 적게 상술하여 기술하고 있지만, 이 구성도 부호화 회로(11)과 상이한 것은 아니다. 또, 동 도면에는 필요한 서브블록(32)의 레지스터(36)를 선택하기 위한 스위칭 회로(124) 및 AND 회로(128)이 도시되어 있다.

제24도는 본 발명의 제2상태의 부호화 회로가 적용되는 연상 메모리 서브블록의 일실시예의 개략도이다.

동 도면에 나타낸 바와 같이 본 발명의 부호화 회로(120)은 우선순위 부호화 회로(이하 메이 프라이어티 엔코더 또는 메인 엔코더라 함) (122)와 우선순위 부착 서브블록 부호화 회로(14) (이하 서브블록 프라이어티 엔코더 또는 서브블록 엔코더라 함)와, 플래그 데이터를 검출하기 위한 스위칭 회로(124), 플래그 데이터 센스회로(126) 및 AND 회로(128)를 가지며, 메인 엔코더(122)은 플래그 레지스터 회로(18)와, 프라이어티 회로(20)과 엔코더(22)와, 타이밍 제어회로(60)를 가지고, 서브블록 엔코더(14)는 데이터 래치회로(24)와, 프라이어티회로(26)과, 엔코더회로(28)를 가진다. 제1도에 있어서 30은 연상 메모리 서브블록(이하 메모리 블록이라 함)이고, 상술한 바와 같이, 메모리블록(30)은 복수(본 실시예에서는 n 개 B_0, B_1, \dots, B_m)의 연상 메모리 서브블록(이하 서브블록이라 함) (32)를 가진다. 메모리블록(30)에는 각 서브블록(32)에 대하여 n 개 $(A_0), (A_1), \dots, (A_m)$ 의 AND 회로(128)이 설치되고, 또 각 서브블록(32)의 후술하는 메모리 워드에 대응하여 $m+1$ 개 $(C_0), (C_1), \dots, (C_m)$ 의 플래그 데이터 센스회로(126)이 설치된다.

먼저, 본 실시예에 의하여 제어되는 가장 특징적인 부분인 플래그 데이터 검출을 위한 스위칭 회로

(124), 플래그 데이터 센스회로(126) 및 AND 회로(128)에 설명한다.

스위칭 회로(124)는 서브블록 32(B₁)의 레지스터 36(R₀)에 접속된 1개(S₀)를 대표예로서 도시하도록 2개의 NMOS 트랜지스터(124a), (124b)를 직렬로 접속하여 구성된다. 각 스위칭 회로(124)는 각각 한쪽의 트랜지스터(124a)의 전극(예를들면 드레인전극)이 대응하는 검출선(L₀), (L₁), ..., (L_m)에 병렬로 결선되어 검출선(L)를 통하여 전극은 각 서브블록(32)에 있어서 병렬로 AND 회로(128)에 접속된다.

또, 다른쪽의 트랜지스터(124b)는 게이트전극이 대응하는 레지스터(36)의 출력단에 접속되고 이 트랜지스터(124b)의 전극 예를들면 소오스전극이 접지된다. 이 스위칭 회로(124)는 레지스터(36)가 비트신호(1)출력하고, AND 회로(18)로부터 하이레벨신호 1이 입력된 때에 양 트랜지스터(124a), (124b)은 온하고, 검출선(L)를 접지하여 전하를 방출하여 검출선(L)의 전위를 저하시킨다.

한편, 레지스터(36)의 유지데이터가 0일때, 비록 AND 회로(128)로부터 하이신호 1이 입력되어도, 스위칭 회로(125)의 트랜지스터(124)가 OFF한채이므로 검출선(L)이 전위는 그 스위칭 회로(124)에 의하여 변화하지 않는다.

플래그 데이터 센스회로(126)은 자기구동형의 센스앰프에 의하여 구성되고, 검출선(L)을 미리 소정전위에 미리 프리차이지 함과 동시에 이 프리차이지된 검출선의 전위(전위의 변동)를 검출하여 레지스터(36)내에 유지되어 있던 비트신호 1 또는 불일치신호 0를 검출하기 위한 것이다. 이 플래그 데이터 센스회로(126)는 각각 1개(C₀)을 대표예로 하여 부호를 부착하도록 검출선(L)에 설치하고, 2개의 PMOS 트랜지스터(125a), (126b)와, 인버터(126c)를 가진다.

이들 플래그 데이터 센스회로(126)는 각 PMOS 트랜지스터(126a), (126b)의 한쪽의 전극(예를들면 드레인)이 전원에 다른쪽의 전극(예를들면 소오스)이 검출선(L)에 접속되어 한쪽의 트랜지스터(126a)의 게이트가 병렬로 메인 엔코더(122)의 제26도에 나타나는 타이밍 회로(60)에, 다른쪽의 트랜지스터(126b)의 게이트가 검출선(L)에 인버터(126c)의 출력측에 접속한다.

인버터(126c)은 검출선(L)에 통하여 설치하고, 반전신호를 메인 엔코더(122)의 플래그 레지스터회로(18)에 출력한다. 이 플래그 데이터 센스회로(126)은 후술하는 타이밍 회로(60)의 출력레벨(CS1)이 로우레벨(L : 0)시에 PMOS 트랜지스터(126a), (126b)를 ON하여 검출선(L)을 프리차이지한다.

그 후, 타이밍 회로(60)이 1개의 서브블록(32)의 플래그 데이터의 부호화 종료 타이밍 예고신호, 예를들면 현재 부호화주의 서브블록(32)의 플래그 데이터중의 비트신호가 최후의 1개인 것을 나타내는 신호를 출력하고, 출력레벨(CS1)이 하이레벨(H : 1)로 되면 플래그 데이터 센스회로(126)는 트랜지스터(126a)를 OFF하고, 검출선(L)을 프리차이지된 하이(H)의 상태로 유지한다.

또한 이때, 트랜지스터(126b)는 ON 상태이다. 한편 이 때에는 출력레벨(CS1)이 하이레벨이므로 서브블록 엔코더(14)의 데코더(14)의 데이터 래치회로(24)에 1이 래치되어 있는 다음의 우선순위 서브블록(32)에 대응하여 설치된 AND 회로(128)로부터는 하이레벨신호(H : 1)이 출력된다. 이 결과, 선택된 서브블록(32)의 레지스터(36)의 데이터가 비트신호 1인 워드의 스위칭회로(124)의 양 트랜지스터(124a), (124b)가 ON되어 프리차아지되어 있는 전하가 검색선(L)으로부터 디스차아지되어 검색선(L)의 전위가 저하하고, 하이(H)의 상태에서 로우(L)상태로 변화한다. 플래그 데이터 센스회로(126)은 이 검색선(K)의 전위의 전하변화를 감지하여 레지스터 36의 신호를 플래그 레지스터회로 18에 출력한다.

즉, 인버터(126c)는 검색선(L)의 로우(L)의 전위를 반전하여 PMOS 트랜지스터(126b)를 OFF하여 하이(H)전위의 비트신호 1를 메인 엔코더(122)의 플래그 트랜지스터(18)의 입력신호선에 입력한다.

한편 타이밍 회로(60)의 출력레벨(CS1)이 하이(H)레벨인 사이에도 선택된 서브블록(32)의 레지스터(36)중의 데이터가 불일치신호 0인 경우에는 스위칭 회로(124) ON하지 않으므로 검색선(L)의 전위는 변화하지 않고, 플래그 센스회로(126)의 PMOS 트랜지스터(126a), (126b)는 ON한채 있으므로 플래그 센스회로(126)으로부터는 인버터(126C)인 로우(L)상태의 불일치신호 0를 메인 엔코더(122)의 플래그 레지스터(18)의 입력신호선에 입력한다.

이와 같이, 플래그 데이터 센스회로(126)에 의하여 먼저 우선순위서브블록(32)의 플래그 데이터의 부호화되는 비트신호가 최후의 1개로 됨으로 그 최후의 비트신호의 부호화가 종료할때까지 사이에 다음의 우선순위의 서브블록(32)의 플래그 데이터를 검출한다. 그후 최후의 비트신호의 부호화가 종료하고, 이 신호가 플래그 레지스터(18) 블록단자에 입력되면, 이 검출된 플래그 데이터가 플래그 레지스터(18)에 바로 입력되어 래치된다.

AND 회로(128)는 타이밍 회로(60)으로부터 부호화 종료 타이밍 예고신호(CS1)와 섭 엔코더(14)의 데이터 래치회로 래치데이터(또는 리세트출력)와의 논리곱을 연상하고, 대응하는 서브블록(32)의 모든 스위칭 회로(124)를 제어하기 위한 것으로 예고신호(CS1) 및 데이터가 같이 하이(H)레벨 1인 때만, AND 회로(128)의 출력도 하이(H)레벨 1로 되어 각 스위칭 회로(124)의 트랜지스터(124a)를 온한다. 이 때 서브블록(32)의 레지스터(36)에 유지되어 있는 데이터가 비트신호(1)이면 트랜지스터(124b)도 온하고, 스위칭 회로(124)가 온하여 검색선(L)은 접지되고, 전위가 저하하여 하이레벨로부터 로우레벨로 변화하지만, 다른 쪽 불일치신호(0)이면 트랜지스터(124b)는 오프한 채 않고, 스위칭 회로(124)는 온되지 않고, 검색선(L)의 전위는 변화하지 아니한다.

메인 엔코더(122)는 제24도 및 제25도에 나타낸 바와 같이 플래그 레지스터회로(18), 프라이어티회로(20), 엔코드회로(22) 및 타이밍 회로(60)를 가진다.

플래그 레지스터(18)는 검색선(L)에 대응한 $m+1$ 개의 데이터 래치부분(편의상, 검색선 L에 대응한 첨자를 부착함)을 가지고, 이들 래치부분이 각각 타이밍 회로(60)으로부터 타이밍 신호에 따라서 소정의 우선순위로 입력하는 검색선(L)의 데이터를 유지하고, 프라이어티회로(20)으로부터 입력하는 신호로 리셋된다. 이 플래그 레지스터회로(18)는 엔코더회로(22)가 모든 비트신호를 엔코더할 때까지의 플래그 데이터를 유지하고 우선순위의 높은 워드어드레스의 비트신호가 부호화 될 때마다 어드레스의 비트신호를 리셋한다.

또한, 이 실시예에서는 플래그 레지스터(18)는 D래치를 사용하지만, 1비트를 일시적으로 유지하는 것이면 임의로 선택할 수 있다.

여기서 본 발명의 제3의 상태의 부호화 회로(120)에 사용되어지는 제25도에 나타난 메인 엔코더(122)와 본 상태의 제1의 부호화 회로에 사용될 수 있다. 제2도에 나타난 메인 엔코더(12)와는 타이밍 회로(60)을 가지고 있는 점과 프라이어티회로(20)의 노우드 Q_m (OR 회로)가 인버터(49)를 통하여 플래그 레지스터(18)에 접속되어 있지 아니한 점에서 다르다.

즉, 제2도에 나타난 바와 같이 메인 엔코더의 프라이어티회로(20)는 플래그 레지스터(18)에 유지된 프라이어티의 최후의 비트신호를 리셋한 후 노우드 Q_m 으로부터 출력되는 종료 데이터 0를 사용하여 플래그 레지스터(18)의 플래그 데이터를 프리패치회로(16)에 미리 래치홀드되어 있는 다음의 우선순위의 서브블록(32)의 플래그 데이터와 전환하고 있다. 즉, 제2도에 나타난 메인 엔코더(12)에서는 이 노우드 Q_m 출력 0을 인버터(49)에서 반전값 1을 플래그 레지스터(18)에 입력하여 프리패치회로(16)에 래치홀드되어 있는 다음의 우선순위의 서브블록(32)의 플래그 데이터를 플래그 레지스터회로(18)의 각각 대응하는 회로에 입력하여 유지하는 것이 된다.

그 후 빈 상기 프리패치회로(16)에는 미리 서브블록 엔코더(14)에 의하여 선택되어 있는 다음의 우선순위의 서브블록(32)의 플래그 데이터가 레지스터(36)으로부터 읽혀지고, 래치홀드 된다.

이와 같이 프라이어티회로(20)은 먼저 우선순위의 서브블록의 플래그 데이터의 처리를 종료함으로 다음의 우선순위의 서브블록의 플래그 데이터가 그 서브블록(32)의 레지스터(36)으로부터 전송되어 오고 있는 동안 대기할 필요가 없으므로 엔코더를 효율 좋게 할 수가 있다. 그러나 이 방법에서는 플래그 레지스터(18)에 유지되어 있는 먼저의 우선순위의 서브블록(32)의 플래그 데이터의 최후의 비트 신호가 리셋됨으로 플래그 레지스터(18)의 내용을 프리패치회로(16)에 유지되고 있는 다음의 우선순위의 플래그 데이터와 전환함으로 리셋에 의거하여 개시되는 프라이어티 엔코더 서브블록에 있어서, 서브블록의 플래그 데이터의 전환시에 엔코딩될 수 없는 사이클이 발생하여 끝내고, 엔코드 출력을 할 수 없는 시간이 발생할 우려가 있다.

이에 대하여, 본 상태에 있어서는, 제26도에 나타난 타이밍 제어회로(60)에 의하여 플래그 레지스터(18)의 플래그 데이터 신호의 개수를 검지하여 두고, 최후의 1개로 된 때를 검출하여 이 검출결과 부호화 종료 예고신호를 입력신호로 하여 프라이어티회로(20)에 있어서, 최후의 비트신호를 리세트하는 대신에 최후의 1개의 비트신호의 부호화중에서 플래그 데이터 센스회로(126)에 의하여 다음의 우선순위의 서브블록(32)의 플래그 데이터를 검출하고, 부호화 종료와 동시에 플래그 레지스터(18)에 입력한다. 따라서, 본 상태에서는, 동일 서브블록의 플래그 데이터에 있어서도, 서브블록의 플래그 데이터의 전환시에 있어서도, 동일 사이클에서 프라이어티 엔코더를 할 수가 있다. 물론, 본 상태에 있어서는, 서브블록의 플래그 데이터의 최후의 1개의 비트신호의 부호화중에 플래그 데이터 센스회로(126)에 의하여 미리 서브블록 엔코더(14)에 의하여 선택되어진 다음의 우선순위의 서브블록(32)의 레지스터(36)의 내용을 검출하고, 부호화 종료시에 플래그 레지스터(18)에 입력할 수가 있으므로, 프리패치회로가 불필요할 뿐 아니라, 플래그 데이터의 판독입력의 시간(플래그 데이터를 각 서브블록(32)로부터 메인 엔코더(12)까지 역전하는 시간)을 없애고, 엔코드 처리와 무관계한 것으로 엔코드의 효율을 상승할 수가 있다. 또한 본 상태에 있어서는, 플래그 레지스터(18)의 플래그 데이터의 최후의 비트는 리세트를 하지 않아도 좋다.

본 상태의 특징적인 부분의 1개인, 타이밍 제어회로(60)가 제2도에 나타난다.

동 도면에 나타난 타이밍 제어회로(60)는, 제10도에 나타난 타이밍 제어회로(60)가 동일한 구성을 가진다. 이 타이밍 제어회로(60)에 있어서, 이 접점(B)으로부터는 출력선이 연이어 나오고, 인버터(84)를 통하여 앤드회로(88)에 입력되고, 이 출력이 오아회로(114)를 통하여 상술한 플래그 레지스터(18)의 각 데이터 래치회로(18

o), (18₁), ..., (18_m)의 블록에 접속되어 있다. 각 오아회로(114)의 이미 한쪽의 입력에는 플래그 레지스터(18)의 초기값 설정을 위한 설정신호가 입력된다. 또, 이 인버터(84)의 출력은 오아회로(130)을 통하여 AND 회로(128)에 접속된다. 또한, 앤드회로(88)의 이미 한쪽의 입력에는 상술한 플래그 레지스터(18)의 리세트신호가 입력되어 있다.

상술한 바와 같이, 타이밍 제어회로(60)에 의한 플래그 레지스터(18)내에 유지되어 있는 플래그 데이터신호 1의 개수 검출이 행해지지만, 타이밍 제어회로(60)의 인버터(84)로부터 출력된 출력신호가 0이면 플래그 레지스터(18)내에 유지되어 있는 신호 1이 2개 이상, 출력신호가 1이면, 비트신호 1이 1개 이하인 것을 알 수 있다. 그리고, 본 발명에서는 오아회로(130)으로부터 출력되는 CSI 신호를 AND 회로(128) 및 플래그 데이터 센스회로(12c)에 도입되고, CSI 신호가 1인 때, 즉, 잔존하는 최후의 1개의 비트신호 1을 엔코드하고 있는 때에 다음의 메모리 서브블록(32)의 플래그 데이터를 스위칭 회로(124), AND 회로(128) 및 플래그 데이터 센스회로(126)에 의하여 검출하기 때문에, 메모리 서브블록(32)의 플래그 데이터의 판독출력 및 전환을 신속하게 할 수 있다. 한편, 서브블록 엔코더(14)에는, 연상 메모리 블록(32), (B₀), (B₁), ..., (B_m)마다 행해지는 일치검색시에 각 메모리 블록

(32)에 있어서의 일치검색 결과, 즉 플래그 데이터(36)에 유지됨과 동시에 서브블록(32)내의 도시하지 아니한 OR 회로등에 의하여 서브블록(32)내에 검색 데이터와 일치를 나타낸 워드(34) (비트워드 또는 매치워드)가 존재하는가 여부를 나타내는 서브블록 비트신호를 발생시키고, 이에 대응하는 서브블록(32)의 데이터 래치회로(24)에 유지시킨다.

한편, 이 서브블록 엔코더(14)의 프라이어티회로(26)에서는 소정의 우선순위에 따라서, 도시예에서는 좌측으로부터 우측으로 향하여 데이터 래치회로(26)에 래치홀드된 블록 비트신호가 비트신호(1)인 서브블록(32)을 선택하고, 이 블록 어드레스만에 1을 가지는 프라이어티 부출출력신호를 출력한다. 이 출력은 후단의 엔코드회로(28)에 의하여 부호화되어 엔코드 출력됨과 동시에, 그 서브블록(32)에 대응하여 대응하는 AND 회로(128)에 출력된다. 그리고, 전술한 바와 같이 그의 AND 회로(128)는 블록신호가 1임과 동시에, 상기 타이밍 회로(60)으로부터 하이레벨신호가 입력될 때만, 스위칭 회로(124)에 하이레벨신호를 출력한다.

이 결과, 비트신호 1의 워드(34)에 대응한 스위칭 회로(124)는 신호선(L)을 접지한다. 이와 같이 미리 플래그 데이터 센스회로(126)에 의하여 신호선(L)에 차아지된 전하를 디스차아지하고, 플래그 데이터 센스회로(126)는, 신호선(L)의 전위의 전하, 즉, 하위전위로부터 로우전위로의 변화를 검출하고, 그 인버터(126c)에 의하여 반전한 하이전위의 비트신호가 플래그 레지스터(18)에 입력된다. 그후, 메인 엔코더(122)의 최후의 1개의 비트신호의 종료신호에 의하여 이들의 비트신호(플래그 데이터)는 플래그 레지스터(18)에 입력 된다.

다음에, 본 상태의 타이밍 제어회로(60)를 사용한 메인 엔코더(112)의 엔코드 타이밍의 타임차트의 1예를 제27도에 나타내고, 이를 참조하여 본 발명의 부호화 회로의 부호화 동작을 설명한다.

또한, 동 도면에 있어서, (a)는 메인 엔코더(12)의 엔코드 타이밍을 나타내는 엔코드 신호, (b)는 플래그 레지스터(18)의 비트신호 1의 리세트 타이밍을 나타낸 리세트 신호, (c)는 타이밍 검출회로(60)의 비트신호의 잔존개수의 검출타이밍을 나타내는 검출신호, (d)는 타이밍 검출회로(60)의 검출출력 신호(종료예고신호), (e)는 타이밍 검출회로(60)으로부터 오아회로(130)를 통하여 앤드회로(128) 및 플래그 데이터 센스회로(126)에 입력하는 신호(CS1), (f)는 다음의 우선순위의 서브블록(32)의 플래그 센스 출력신호(플래그 데이터 센스회로 126의 출력 데이터신호), (g)는 다음의 플래그 데이터의 플래그 레지스터(18)의 시프트 타이밍을 나타내는 플래그 데이터 전환 제어신호 종료신호를 나타낸다.

도면으로부터 명백한 바와 같이, 플래그 레지스터(18)내에 유지되어 있던 동일한 플래그 데이터의 비트신호를 소정의 프라이어티에서 엔코드하고 있는 사이에는, 비트신호의 리세트펄스(b)의 엡지상승의 타이밍으로부터 소정시간으로 엔코드 사이클(a) 검출 사이클(c)가 개시(엡지상승)되도록 구성되어 있다. 그러나, 타이밍 제어회로(60)가 엔코드 펄스(a) 또는 리세트 펄스(b) 및 인버트 펄스(g)에 의하여 기동되는 검출 타이밍(c)에 있어서 최후의 비트신호를 검출하여, 종료예고신호인, 점점(B)로부터

의 검출출력신호(d)가 제27도와 같이 로우레벨로 변화하면, 앤드회로(128) 및 플래그 데이터 센스회로(126)에 출력검출회로(d)의 반전신호인 제27도(e)에 나타난 CSI 신호인(e)가 입력된다. 이 때문에, 플래그 데이터 센스회로(126)은 신호선(L)을 미리 프리차아지한 후, 또 앤드회로(128)로부터 하イレ벨신호가 입력된 스위칭 회로(124)가 레지스터(36)에 비트 신호를 유지하고 있는 워드에 대응하는 신호선(L)을 접지하여 프리차아지된 전하를 디스차아지한 다른쪽, 비트신호를 유지하고 있지 않은 워드에 대응하는 신호선(L)의 전위는 변화하지 않고, 프리차아지된 전하는 변화하지 않으며, 신호선(L)은 레지스터(36)내에 플래그 데이터와 역으로 그 전위를 변화시키고, 제27도(f)에 나타낸 바와 같은 출력신호가 확정된다. 또한, 제27도(f)에 나타낸 플래그 센스 출력(f)에 있어서, 비트신호 1를 가지는 플래그 데이터 및 비트신호를 갖지 아니한 플래그 데이터를 포함시켜서 나타난다.

그리고, 전환 제어신호(g)에 동기하여 플래그 데이터 센스회로(126)의 출력신호가 플래그 레지스터(18)에 도입되어 연속하는 엔코더 사이클에 있어서, 이 플래그 데이터를 사용하여 프라이어티회로(20) 및 엔코더회로(22)에 의한 엔코더 동작을 하고, 엔코더 어드레스를 출력한다.

이와 같이, 메인 엔코더(122)는 연속한 소정의 사이클로 엔코더 동작을 하여 엔코더 출력을 한다.

여기서, 전환제어신호(g)는 검출출력(d)의 반전 데이터와 리세트(b)의 앤드(논리곱)에 의하여 출력된다.

그후에는, 서브블록 엔코더(14)의 엔코더 회로(28)로부터 부호화된 블록 어드레스 출력과, 메인 엔코더(122)의 엔코더 회로(22)로부터 부호화된 워드 워드 어드레스의 양쪽을 합쳐서 논리 어드레스로 하여 순차출력 하고 있다. 그리고, 최종 서브블록(32) 또는 최종 우선순위의 서브블록(32)가 선택되면 서브블록 엔코더(14)의 처리를 종료하고, 메인 엔코더(122)에 의한 모든 비트신호의 부호화가 종료되면, 모든 연상 메모리 서브블록(30)의 모든 메모리 워드(34)의 비트신호를 논리 어드레스로 하여 출력하고, 일치검색동작을 종료한다.

상술한 바와 같이, 본 발명은, 부호화 회로에 의하면, 연상 메모리장치의 연상 메모리블록의 검색 데이터와, 일치검색을 행할 때, 이 연상 메모리블록을 구성하는 연상 메모리 서브블록중의 제1번째의 연상 메모리 블록의 일치검색결과, 예를들면, 복수의 연상 메모리 워드에 상기 검색 데이터와 일치하는 일치신호(비트신호)가, 예를들면, 레지스터등의 유지수단에 유지됨과 동시에, 상기 연상 메모리 서브블록에 상기 검색 데이터와 일치하는 연상 메모리워드의 존재를 나타내는 블록비트신호를 발생한다.

연이어, 우선순위부착 서브블록 부호화 회로가 이 블록비트신호를 받아서 가장 우선순위가 높은 연상 메모리 서브블록을 선택하여 서브블록 어드레스를 발생한다. 그리고, 이 선택된 최고 우선순위의 서브블록의 비트신호(모든 워드에 대하여 동시에)가 우선순위 부착 부호화 회로에 전송된다. 그후, 우선순위 부호화 회로는 소정의 우선순위로 상기 비트신호를 부호화하여 워드어드레스를 출력한다. 이 부호

화중에 다음의 우선순위의 연상 메모리 서브블록의 상기 우선순위의 부착 서브블록 부호화 회로에 의하여 선택하고, 데이터 전환 타이밍 제어회로에 의하여 검출하고, 먼저의 우선순위의 서브블록의 플래그 데이터의 엔코드 종료까지의 사이에 예를들면, 엔코드하기 위한 비트신호가 최후의 한개로 됨으로, 엔코드 종료 직후에, 이 서브블록의 레지스터등의 유지수단에 유지되어 있는 비트신호 데이터를 검출하고, 엔코드 종료와 동시에, 우선순위 부착부호화 회로의 데이터 유지회로에 입력된다.

이와같이, 상기와 우선순위 부착 부호화 회로는 상기 비트신호의 부호화를 종료한 후, 연속한 사이클에서 바와 다음의 우선순위의 서브블록의 플래그 신호 데이터의 부호화를 개시하고, 부호화하여 어드레스를 출력한다.

어드레스 출력과 서브 어드레스 출력과를 합하여 논리 어드레스를 출력한다. 따라서, 본 발명에 의하면, 복수의 연상 메모리 서브블록으로부터 구성되는 연상 메모리블록에 있어서도, 복수의 연상 메모리 블록 사이의 전환에 시간지연(대기시간)이 없고, 고속처리가 가능하게 되고, 다수의 연상 메모리 서브블록으로부터의 출력신호를 효율 좋게 연속한 사이클로 부호화할 수가 있다. 또, 본 발명의 부호화 회로에 의하면, 프리패치회로등의 버퍼가 불필요하여 칩상의 점유면적을 적게할 수 있고, 더욱 소비전력을 저감할 수 있다.

이상 본 발명의 제1상태인 프리패치회로 부착 부호화 회로 및 본 발명의 제4~10상태의 반도체 직접 회로 및 이를 타이밍 제어회로로 하여 사용하는 제2의 상태의 프리패치회로 부착 및 제3의 상태의 플래그 데이터 센스회로 부착 부호화 회로는 기본적으로 이상과 같이 구성되지만, 본 발명은 상술한 실시예의 한정되는 것은 아니다. 즉, 본 발명의 타이밍 회로는, 연상 메모리(CAM)의 부호화 회로에 적용되고, 최후의 한개의 비트신호를 미리 검출하는 것에 한정되지 않고, 검출하는 비트신호의 개수는 무엇이랄도 좋고, 적용되는 회로도 SRAM, DRAM등의 메모리 부호화 회로에서도 좋다.

또, 본 발명의 타이밍 제어회로는 더미회로를 가지고 있지만, 이들의 더미회로는 필요하여도 설치할 필요가 없다. 또한, 도시의 타이밍 제어회로는 플래그 레지스터(18)에 유지되어 있는 비트신호 1의 개수를 검출하는 것이지만, 신호 0의 개수를 검출하는 것으로도 좋다.

또한, 본 발명의 타이밍 제어회로는, 비트신호 1 입력되는 전류구동수단에 의한 신호선의 디스차아지를 검출하고 있지만, 역으로 검출타이밍에서 전류구동수단에 의한 차아지앰프를 검출하여도 좋다. 이 경우는 차전류 검출수단은 두개의 신호선의 전위저하는 없고, 상승으로 차전류를 검출하도록 구성할 수가 있다. 또, 본 발명의 여러가지 상태의 직접회로를 조합시켜 사용하여도 좋고, 이들을 본 발명의 여러가지 상태의 부호화 회로에 조합시켜도 좋은 것은 물론이다.

또한, 본 발명의 반도체 직접회로는 부호화 회로의 타이밍 제어회로로 사용되는 것에 한정되지 않고, 단순히 적어도 한개의 전류구동수단이 접속된 신호전류 검출수단과 기준전류 구동수단이 접속된 기준

전류 구동선에 흐르는 차전류를 검출하여 그 변화타이밍을 검출하는 센스앰프로 사용하여도 좋다. 또, DRAM 및 SRAM등의 메모리를 판독출력용 센스앰프로서 사용하여도 좋다. 이상, 본 발명에 관한 반도체 직접회로 및 부호화 회로를 여러가지 상태를 예들들어 설명하였으나, 본 발명은, 여기에 한정되는 것이 아니고, P채널 MOS 트랜지스터, N채널 MOS 트랜지스터를 비롯하여 여러가지 조합시켜도 좋은 등, 본 발명의 요지를 이탈하지 않는 범위에 있어서의 설계의 변경 및 여러가지 개량이 가능한 것은 물론이다.

다음에, 제28도를 참조하여 본 발명의 제11상태의 다이내믹 센스앰프에 대하여 상세하게 설명한다. 본 발명의 제4~제10의 상태의 반도체 직접회로 CAM, SRAM, DRAM등의 메모리의 엔코더의 서브블록 레지스터내의 플래그 데이터의 전환타이밍을 예측하기 위한 타이밍 제어회로로서 사용하는 개수 검출회로에 적용예로서 설명되고 있지만, 본 발명은 이것에 한정되지 않고, 이하, 이글은 SRAM, DRAM, CAM등의 다이내믹 센스앰프에 적용한 예에 대하여 설명한다.

제28도는 SRAM의 센스앰프로서 적용되는 본 발명의 다이내믹 센스앰프의 여러가지 실시예를 나타내는 것이다. 여기서, 제28도(a)~(f)는 각각 제10도, 제15도, 제16도, 제18도, 제19도, 제20도에 나타낸 반도체 직접회로의 응용예이고, 주요부의 구성은 동일하므로, 동일한 구성요소에는 동일부호를 붙이고, 이 설명은 생략한다.

제28도(a)는 동(a)의 상보적 센스앰프이다. 제28도(a) 나타난 다이내믹 센스앰프(140)은 서로 게이트가 접속된 2조의 직렬접속 PMOS 트랜지스터(80a) 및 MOS 트랜지스터(82a)와 PMOS(80b) 및 NMOS(82b)를 구비한 전류구동용 래치회로(141)와, 제1신호선(62)와 제2신호선(64)와 이들의 복수 검출 노우드에 각각 병렬로 설치되는 직렬접속 NMOS(67a) 및 (67b)와 직렬접속 NMOS(75a) 및 (75b)를 구비하는 전류구동회로(142)와, 래치회로(141)와 전류구동회로(142)의 사이에 제2신호선(62)와 제2신호선의 각 노우드(a) 및 (b)에 접속되는 프리차아지 PMOS 트랜지스터(78), (78) 및 양 노우드(a) 및 (b)를 접속하는 PMOS 트랜지스터(79)를 구비하는 프리차아지회로(143)를 가진다.

여기서, 전류구동용 래치회로(141)에서 직렬접속 PMOS(80a)와 NMOS(82a)와의 접점(A)은 PMOS(80b)와 NMOS(82b)의 게이트 접속점과 접속되고, 제1출력 노우드(DO바)로 되고, PMOS(80b)와 NMOS(82b)와의 사이의 접점(B)은 PMOS(80a)와 NMOS(82b)의 게이트 접속점과 접속되어 제2출력 노우드(DO바)로 된다. 또, PMOS(80a) 및 (80b)의 노우드는 서로 접속되어 제1의 전원전위인 (V_{dd}), 예를들면, 5V에 접속된다. 또, 전류구동회로(142)는 제1의 전류구동회로(66) 및 제2의 전류구동회로(74)로 되고, 각각 한쪽의 신호용 NMOS(67a) 및 (75b)의 각 게이트에는, 제1 및 제2의 신호선(62) 및 (64)에 접속되고, 각 게이트는 각각 제1 및 제2의 입력노우드로 되며, 예를들면, 다수의 비트 SRAM의 메모리 어레이의 각 컬럼에 대한 비트선(B) 및 비트바선(BL바)에 접속된다. 또, 다른쪽의 제어용 NMOS(67b) 및 (75b)의 각 게이트는 제2의 전원전위인 V_{ss} 예를들면 접지전위(0V)에 접속되고, 각 게이트는 센스앰프의 인에이블신호(OE)를 입력하는 인에이블선(프리차아

지선) (72)에 접속된다. 또, 노우드(a)와 (b) 및 노우드(A)와 (B)의 전위를 프리차아지하기 위한 프리차아지회로(143), (83)에서는 양 프리차아지 PMOS(78), (83)의 소오스는 제1의 전원전위(V_{dd})에 각각 접속되어 양 게이트 및 PMOS(79), (83)의 게이트는 인에이블 신호선(72)에 접속된다.

다음에, 센스앰프(140)의 읽어내는 동작에 대하여 설명한다. 또, 프리차아지시에는 인에이블신호(OE)가 L로 되고, 제어트랜지스터(67b) 및 (75b)는 오프, 양 PMOS(78)과 PMOS(79) 및 PMOS(83)는 온하여 제1과 제2의 신호선(노우드 a 및 b) 및 접점(B)을 제1전원전위(V_{dd}), 예를들면, 5V로 프리차아지한다.

이와같은 상태에서 메모리셀의 판독출력한 데이터에 따라서 비트선(BL)과 비트바선(BL바)와의 사이에 전위차가 발생한다. 예를들면, 비트선(BL)에는, 0데이터가 입력되어 L로 되고, 다른쪽 비트바선(BL바)는 1 데이터의 H로 되도록 한다. 여기서, 인에이블 신호(OE)가 H로 되면 PMOS(78), (79), (83)는 오프로 되지만, 제어트랜지스터(67b) 및 (75b)가 오프한다. 이 때문에, 제2전류구동회로(74)의 NMOS(75a)에는 그 게이트에 인가되는 비트바선(BL바)의 H 전위에 따라서 전류가 흐르고, 제2신호선으로부터 프리차아지된 전하가 인출된다. 한편, 제1의 전류구동회로(66)의 NMOS(67a)의 게이트에는 비트선(BL)의 L 전위가 인가됨으로 이 전위에 따라서, 전류가 흐르고 제1신호선(62)로부터도 프리차아지전하가 인출된다. 이와 같이 양신호선(62) 및 (64)의 전위, 따라서 노우드(a) 및 (b)의 전하가 저하하지만, 비트바선(BL바)의 H 전위의 쪽이 비트선(BL)의 L 전위보다 높으므로, 노우드(b)의 전위전하가 크고 접점(b)의 전위가 NMOS(82b)의 문턱값보다 저하되면, 예를들면, 3.6V 이하로 되면, NMOS(82b)는 오프하고, 접점(B)의 전위는 저하하여 최종적으로 접지전위(V_{ss})로 된다.

한편, 접점(B)의 전위가 저하하여 PMOS(80a)의 문턱값보다 저하하며 PMOS(80a)는 온하여 접점(A)는 전원전위(V_{dd}), 예를들면 5V로 되고, 이 전위로 유지한다.

이와같이 센스앰프(140)의 판독출력하는 동작이 종료한다.

또한, 비트선(BL) L 전위가 NMOS(67a)의 문턱값보다 작은 경우에는 NMOS(67a)는 온되지 않는다.

따라서, 노우드(b)의 전위는 크게 저하하는 것으로 되지만, 래치회로(141)는 동일하게 동작한다.

여기서, 제28도(a)에 나타난 센스앰프(140)에 있어서, 프리차아지회로(143)가 설치되어 있지 않으면, 노우드(A)와 (a)의 전위차 및 노우드(B)와 (b)의 전위차는 각각 NMOS(82a) 및 (82b)의 문턱값 만큼, 예를들면, 1.4V정도 밖에 없으므로, 노우드(a) 및 (b)의 적은 전위저하에서 NMOS(82a) 또는 (82b)가 오프하는 것으로 된다. 이 때문에, 인에이블신호(OE)가 L로부터 H로 된 직후에 제1 및 제2 신호선으로 흐르는 전류의 초기값에 의하여 비트선(BL바)과 비트선(BL바)의 전위의 대소와 노우드(a)와 (b) 전위의 대소가 불일치하게 되고, 센스앰프(140)가 오동작을 일으키는 것이 된다. 특히, 양

신호선(621) 및 (64)의 검출노우드가 다수 존재하여 동시에 복수의 검출노우드에 의한 검출을 행하는 경우등에서 래치회로(141)로부터 검출노우드까지의 거리에 의해서는 오동작을 발생하기 쉽다. 이에 대하여 본 발명의 센스앰프(140)에서는 프리차이지회로(143)에 의하여 노우드(a) 및 (b)의 전위를 인상하고 있으므로, 어느쪽의 노우드가 NMOS(82a 또는 82b)의 문턱값을 넘어 저하할 때까지의 사이에 양 노우드(a)와 (b)의 전위차는 충분히 존재하고 있고, 래치회로(141)의 래치동작이 오동작되는 것은 아니다. 즉, 본 발명 센스앰프(140)은 노우드(a)와 (b)의 전위의 대소가 정확하고, 그 차로부터 래치회로(141)이 동작하도록 구성되어 있으므로 충분한 동작마진을 가지고 있고, 오동작등을 초래하지 아니한다. 또, NMOS(67b), (75b)를 공통화 한 것이 제28도(h)에 나타난 센스앰프(140A)이고, 그 동작은 모두 동일하다.

제28도(b) 및 (c)에 센스앰프(144) 및 (148)은 제28도(a)에 나타나는 센스앰프(140) 그리고, 검출개시 레벨 설정수단으로서 기능하는 게이트 드레인 접속 PMOS(145) 및 NMOS(149)를 전원전위(V_{dd})와 PMOS(80a) 및 (80b)의 소오스 상호접속선과의 사이에 접속하는 것이다. 제28도(b) 및 (c)에 나타난 센스앰프(144), (148)에서는 제28도(a)에 있어서의 전류구동회로(142)의 제어트랜지스터(67b) 및 (65b)를 공통화한 제어트랜지스터(67e)를 사용한 전류구동회로를 사용하고 있다. 이들의 센스앰프(144) 및 (148)에서는, PMOS(145), NMOS(149)에 의하여 노우드(a) 및 (b)의 전위에 대하여 노우드(A) 및 (B)의 상대적으로 하강하는 것으로 동작마진을 더욱 크게 하고 있다.

제28도(d)에 나타난 센스앰프(150)에서는 노우드(a)와 검출노우드(p) 사이 및 노우드(b)와 검출노우드(q)와의 사이에 각각 두개의 직렬접속 인버터(102a)와 (104a) 및 (102b)와 (104b)를 가지는 검출타이밍 제어회로(152)를 설치하여 인버터(102a) 및 (102b)의 문턱값에 의하여 검출타이밍을 제어하고 래치회로(141)의 동작시에 노우드(a)와 (b)와의 전위차를 매우 크게 하여서 커다란 동작마진을 얻고 있다.

제28도(e)에 나타난 센스앰프(152)에서 제28도(d)의 검출타이밍 제어회로(151)을 대신해 트랜지스터(109a) 및 (109b)를 삽입하고, 각 게이트와 소오스의 사이를 인버터(108a) 및 (109b)를 통하여 접속한 검출타이밍 제어회로(153)를 설치하고 있다. 이와 같이 하여서 센스앰프(152)는 인버터(108a) 및 (108b)의 문턱값에 의하여 검출타이밍을 제어하여 커다란 동작마진을 얻을 수 있는 것이다.

제28도(f)에 나타난 센스앰프(104)는 제28도(e)에 나타난 검출타이밍 제어회로(153)에 더하여 프리차이지회로(143)을 가지는 것으로 더욱 커다란 동작마진을 얻을 수 있다.

제28도(g)에 나타난 센스앰프(156)는 제28도(a)에 나타난 센스앰프(140)과 상보적인 센스앰프이고, 제1전원전위가 접지전위(V_{ss})에서 제1도 전형 MOS 트랜지스터가 NMOS, 제2도전형 MOS 트랜지스터가 PMOS 트랜지스터이고, 제2전원전위가 전원전위(V_{ss})이다.

래치회로(141)에서는 NMOS(82a) 및 (82b)의 소오스는 서로 접속되어 접지되고, PMOS(80a) 및 (80b)각 소오스에 제1 및 제2신호선(62), (64)가 접지된다. 소오스(a) 및 (b)에는 디스차아지용 NMOS(155)가 동일 전위화 NMOS(157)를 가지는 디스차아지회로가 접속된다. 또, 접점(A), (B)에도 디스차아지용 NMOS(83b)가 접속되고, 그 게이트는 반전인에이블신호(OE바)가 입력되는 신호선(72)에 접속되어 있다. 제1신호선(62) 및 제2신호선(64)의 노우드(a) 및 (b)에는 게이트에 비트선(BL) 및 비트바선(BL바)가 접속되는 PMOS(158a) 및 (158b)가 접속된다. 또, 이들의 PMOS(158a) 및 (158b)에는 소오스가 제2전원전위(V_{dd})에 접속되는 PMOS(109a) 및 (109b)가 접속된다. 또, PMOS(109a), (109b), NMOS(155), (157)의 게이트에는 반전 인에이블신호(OE바)가 입력되는 인에이블신호선(72)가 접속된다.

이와같은 구성으로 제28도(a)에 나타난 센스앰프(140)과 동일하게 하여 센스앰프(156)은 동작마진의 커다란 판독출력동작을 행할 수가 있다. 또한 도시하지 않았지만, 제28도(g)의 센스앰프(156)과 동일하게 하여 제28도(b)~(f)의 상보적 센스앰프도 본 발명에 포함하는 것은 물론이다. 이상 본 발명의 센스앰프를 SRAM에 적용되는 센스앰프를 대표예로 하여 설명하였으나, 본 발명은 이에 한정되지 않고, DRAM, CAM을 비롯한 여러가지 메모리의 판독출력용 센스앰프로서 사용하여도 좋은 것은 물론이다.

청구의 범위

청구항1

복수의 연상 메모리워드에 의하여 구성되는 연상 메모리 서브블록을 복수개 갖는 연상 메모리장치에 대하여 설치되고, 상기 연상 메모리 서브블록의 복수의 연상 메모리워드에 대하여 입력된 검색 데이터와의 일치검색 결과 플래그 데이터를 소정의 우선순위로 부호화하는 우선순위부착 메인 부호화 회로와, 복수의 상기 연상 메모리 서브블록의 블록 우선순위부착을 하는 우선순위부착 서브블록 부호화 회로를 가지고, 상기 우선순위부착 메인 부호화 회로에는, 상기 우선순위부착 서브블록 부호화 회로에 의하여 결정된 우선순위가 높은 연상 메모리 서브블록의 플래그 데이터를 부호화중에 기억하여 두는 플래그 레지스터와, 이 플래그 레지스터내의 일치신호를 부호화하고 있는 사이에 다음으로 우선순위가 높은 연상 메모리 서브블록의 상기 플래그 데이터를 미리 기억하기 위한 프리패치회로를 가지는 것을 특징으로 하는 부호화 회로.

청구항2

제1항에 있어서, 더욱 상기 우선순위부착 부호화 회로에 있어서의 상기 연상 메모리 서브블록의 상기 일치신호의 부호화에 따라서 이 일치신호를 하나씩 리세트하는 수단과, 부호화중의 상기 연상 메모리 서브블록의 상기 일치신호의 부호화의 종료를 검출하는 검출수단과를 가지고, 이 검출수단에 의한 부호화 종료의 검출에 의하여 상기 프리패치회로에 입력된 상기 일치신호의 부

호화를 하는 것을 특징으로 하는 부호화 회로.

청구항3

제1항에 있어서, 더욱 상기 우선순위부착 메인 부호화 회로에 있어서의 상기 연상 메모리 서브 블록의 상기 일치신호의 부호화에 따라서 이 일치신호를 하나씩 리셋하는 리셋수단과, 상기 플래그 레지스터내의 일치신호의 부호화 종료의 미리 검지하고 상기 플래그 레지스터내 플래그 데이터를 프리패치회로내의 플래그 데이터로 전환하는 타이밍 검지 제어회로 수단을 가지는 것을 특징으로 하는 부호화 회로.

청구항4

제3항에 있어서, 상기 타이밍 회로는 제1신호선과, 이 신호선에 각각 병렬로 설치된 2 이상의 M개의 전류구동수단과, 상기 플래그 레지스터에 접속되고, 이 전류구동수단을 각각 제어하는 M개의 데이터를 각각 입력하는 M개의 데이터 입력선과, 제2의 신호선과, 이 제2의 신호선에 설치된 기준전류 구동수단과, 상기 M개이 전류구동수단을 통하여 상기 제1의 신호선에 흐르는 전류와 상기 기준전류 구동수단을 통하여 상기 제2의 신호선에 흐르는 전류와의 차전류를 검출하는 차전류 검출수단을 구비하고, 상기 M개의 입력선으로부터 입력되는 상기 M개의 데이터의 0 또는 1개의 개수를 검지하는 개수검출회로를 가지는 부호화 회로.

청구항5

제4항에 있어서, 상기 각 전류구동수단은, 동작타이밍을 제어하는 제어트랜지스터와, 그 게이트 전극이 대응하는 상기 데이터 입력선에 접속된 신호전압인가 트랜지스터와를 가지는 것을 특징으로 하는 부호화 회로.

청구항6

제5항에 있어서, 상기 신호전압인가 트랜지스터는, 상기 제어트랜지스터와 상기 제1의 신호선과의 사이에 통하도록 설치되는 부호화 회로.

청구항7

제4항 내지 제6항중 어느 한 항에 있어서, 상기 차전류 검출수단은, 더욱 검출개시전압과 상기 제1 및 제2의 신호선에 미리 동일하게 설정되는 전압과의 차를 상대적으로 크게 잡는 검출개시 레벨 설정수단을 가지는 것을 특징으로 하는 부호화 회로.

청구항8

제4항 내지 제6항중 어느 한 항에 있어서, 상기 타이밍 회로는, 더욱 상기 제1 및 제2의 신호선

과 상기 차전류 검출수단의 사이에 각각 통하는 적어도 1개의 제1 및 제2의 인버터를 구비하는 것을 특징으로 하는 부호화 회로.

청구항9

제4항 내지 제6항중 어느 한 항에 있어서, 상기 타이밍 회로는, 더욱 상기 제1 및 제2의 신호선과, 상기 차전류 검출수단과의 사이에 각각 통하는 제1 및 제2의 트랜지스터와, 이 제1의 트랜지스터의 게이트전극과 상기 제1의 신호선과의 사이에 통하는 적어도 하나의 제1의 인버터와, 상기 제1의 트랜지스터의 게이트전극과 상기 제2의 신호선과 사이에 통하는 적어도 하나의 제2의 인버터를 구비하는 것을 특징으로 하는 부호화 회로.

청구항10

제9항에 있어서, 타이밍 회로는, 더욱 상기 제1 및 제2의 트랜지스터와 상기 차전류 검출수단과의 각각의 접속부를 각각 프리차아지하는 수단을 가지는 것을 특징으로 하는 부호화 회로.

청구항11

제3항에 있어서, 상기 타이밍 회로는, 제1의 신호선과, 이 신호선에 각각 병렬로 설치된 2 이상의 M개의 단위전류 구동수단과, 상기 데이터 레지스터는 이 단위전류 구동수단을 각각 제어하는 M개의 데이터를 각각 유지하고, 제1의 신호선과, 이 제2의 신호선에 각각 병렬로 설치된 N개의 레퍼런스용 단위전류 구동수단과, 이 레퍼런스용 단위전류 구동수단을 각각 제어하는 N개의 데이터를 각각 유지하는 레퍼런스전류 제어레지스터와, 상기 제1의 신호선에 설치된 레퍼런스 옴세트전류 구동수단과, 상기 M개의 단위전류 구동수단을 통하여 상기 제1의 신호선에 흐르는 전류와 상기 N개의 레퍼런스용 단위전류 구동수단 및 레퍼런스 옴세트전류 구동수단을 통하여 상기 제2의 신호선에 흐르는 레퍼런스전류와의 차전류를 검출하는 차전류 검출수단과를 구비하고, 상기 레퍼런스전류 제어트랜지스터에 유지된 N개의 데이터의 0 또는 1의 개수에 따라서, 상기 데이터 레지스터로부터 상기 단위전류 구동수단에 입력되는 상기 M개의 데이터의 0 또는 1의 개수를 검지하는 개수검출회로를 가지는 부호화 회로.

청구항12

복수의 연상 메모리워드에 의하여 구성되는 연상 메모리 서브블록을 복수개 가지는 연상 메모리 장치에 대하여 설치되고, 상기 연상 메모리 서브블록의 복수의 연상 메모리워드에 대하여 입력된 검색 데이터와의 일치검색 결과 플래그 데이터를 소정의 우선순위로 부호화하는 우선순위부착 메인 부호화 회로와, 복수의 상기 연상 메모리 서브블록의 블록 우선순위부착을 하는 우선순위부착 서브블록 부호화 회로를 가지고, 상기 우선순위부착 메인 부호화 회로에는, 상기 우선순위부착 서브블록 부호화 회로에 의하여 결정된 우선순위가 높은 연상 메모리 서브블록의 플래그

데이터를 부호화중에 기억하여 두는 플래그 레지스터와, 상기 우선순위부착 메모리 부호화 회로에 있어서의 상기 연상 메모리 서브블록의 상기 일치신호의 부호화에 따라서 이 일치신호를 1개씩 리세트하는 리세트수단과, 상기 플래그 레지스터내의 일치신호의 부호화 종료를 미리 감지하고, 다음에 우선순위가 높은 연상 메모리 서브블록의 플래그 데이터를 준비시키는 타이밍을 검지제어하는 타이밍 회로를 가지고, 더욱 상기 플래그 레지스터내의 일치신호의 부호화 종료까지 연상 메모리워드로부터 다음에 우선순위가 높은 연상 메모리 서브블록의 상기 플래그 데이터를 검출하는 플래그 데이터 센스회로를 가지는 것을 특징으로 하는 부호화 회로.

청구항13

제12항에 있어서, 상기 타이밍 회로는, 제1의 신호선과, 이 신호선에 각각 병렬로 설치된 2 이상의 M개의 단위전류 구동수단과, 상기 플래그 레지스터에 접속되고, 이 전류구동수단을 각각 제어하는 M개의 데이터를 각각 입력하는 M개의 데이터 입력선과 제2의 신호선과, 이 제2의 신호선이 신호선에 설치된 기준전류 구동수단과, 상기 M개의 전류구동수단을 통하여 상기 제1의 신호선에 흐르는 전류와 상기 기준전류구동수단을 통하여 상기 제2의 신호선에 흐르는 전류와의 차전류를 검출하는 차전류 검출수단과를 구비하고, 상기 M개의 데이터 입력선으로부터 입력되는 상기 M개의 데이터의 0 또는 1개의 개수를 검지하는 개수검출회로를 가지는 부호화 회로.

청구항14

제13항에 있어서, 상기 각 전류구동수단은 동작타이밍을 제어하는 제어트랜지스터와, 그 게이트 전극이 대응하는 상기 데이터 입력선에 접속된 신호전압인가 트랜지스터를 가지는 것을 특징으로 하는 부호화 회로.

청구항15

제14항에 있어서, 상기 신호전압인가 트랜지스터는, 상기 제어트랜지스터와 상기 제1의 신호선과의 사이에 통하도록 설치되는 부호화 회로.

청구항16

제13항 내지 제15항중 어느 한 항에 있어서, 상기 차전류 검출수단은 더욱 검출개시전압과, 상기 제1 및 제2의 신호선에 미리 동일하게 설정되는 전압과의 차를 상대적으로 크게 잡는 검출개시레벨 설정수단을 가지는 것을 특징으로 하는 부호화 회로.

청구항17

제13항 내지 제15항중 어느 한 항에 있어서, 상기 타이밍 회로는 더욱, 상기 제1 및 제2의 신호선과 상기 차전류 검출수단의 사이에 각각 통하는 적어도 1개의 제1 및 제2의 인버터를 구비

하는 것을 특징으로 하는 부호화 회로.

청구항18

제13항 내지 제15항중 어느 한 항에 있어서, 상기 타이밍 회로는 더욱, 상기 제1 및 제2의 신호선과 상기 차전류 검출수단과의 사이에 각각 통하는 제1 및 제2의 트랜지스터와, 이 제1의 트랜지스터의 게이트전극과 상기 제1의 신호선과의 사이에 통하여 적어도 하나의 제1의 인버터와, 상기 제2의 트랜지스터의 게이트전극과 상기 제2의 신호선과의 사이에 통하는 적어도 하나의 제2의 인버터를 구비하는 것을 특징으로 하는 부호화 회로.

청구항19

제18항에 있어서, 상기 타이밍 회로는, 더욱 상기 제1 및 제2의 트랜지스터와 상기 차전류 검출수단과의 접속부를 각각 프리차아지하는 수단을 가지는 것을 특징으로 하는 부호화 회로.

청구항20

제12항에 있어서, 상기 타이밍 회로는, 제1의 신호선과, 이 신호선에 따라 병렬로 설치된 2 이상의 M개의 단위전류 구동수단과, 상기 데이터 레지스터는, 이 단위전류 구동수단을 각각 제어하는 M개의 데이터들 각각 유지하고, 제1의 신호선과, 이 제2의 신호선에 각각 병렬로 설치된 N개의 레퍼런스용 단위전류 구동수단과, 이 레퍼런스용 단위전류 구동수단을 각각 제어하는 N개의 데이터들 각각 유지하는 레퍼런스전류 제어레지스터와, 상기 제2의 신호선에 설치된 레퍼런스 오프셋 전류구동수단과, 상기 M개의 단위전류 구동수단을 통하여 상기 제1의 신호선에 흐르는 전류와 상기 N개의 레퍼런스용 단위전류 구동수단 및 레퍼런스 오프셋 전류구동수단을 통하여 상기 제1의 신호선에 흐르는 레퍼런스전류와의 차전류를 검출하는 차전류 검출수단을 구비하고, 상기 레퍼런스전류 제어트랜지스터에 유지된 N개의 데이터의 0 또는 1의 개수에 따라서, 상기 데이터 레지스터로부터 상기 단위전류 구동수단에 입력되는 상기 M개의 데이터의 0 또는 1의 개수를 검지하는 복수검출회로를 가지는 부호화 회로.

청구항21

제1의 신호선과 이 신호선에 각각 병렬로 설치된 1 이상의 M개의 전류구동수단과 이 전류구동수단을 각각 입력하는 M개의 데이터 입력선과, 제2의 신호선과, 이 제2의 신호선에 설치된 기준전류 구동수단과, 상기 M개의 전류구동수단을 통하여 상기 제1의 신호선에 흐르는 전류와 상기 기준전류 구동수단을 통하여 상기 제2의 신호선에 흐르는 전류와의 차전류를 검출하는 차전류 검출수단을 구비하고, 상기 M개의 데이터 입력선으로부터 입력되는 상기 M개의 데이터의 0 또는 1의 개수를 검지하는 것을 특징으로 하는 반도체 집적회로.

청구항22

제21항에 있어서, 상기 각 전류구동수단은 동작타이밍을 제어하는 제어트랜지스터와, 그 게이트 전극이 대응하는 상기 데이터 입력선에 접속된 신호전압인가 트랜지스터를 가지는 것을 특징으로 하는 반도체 집적 회로.

청구항23

제22항에 있어서, 상기 신호전압인가 트랜지스터는 상기 제어트랜지스터와 상기 제1의 신호선과의 사이에 통하도록 설치된 반도체 집적 회로.

청구항24

제21항 내지 제23항중 어느 한 항에 있어서, 상기 차전류 검출수단은 더욱 검출개시전압과 상기 제1 및 제2의 신호선에 미리 동일하게 설정되는 전압과의 차를 상대적으로 크게 주는 검출개시레벨 설정수단을 가지는 것을 특징으로 하는 반도체 집적회로.

청구항25

제21항 내지 제23항중 어느 한 항에 있어서, 더욱 상기 제1 및 제2의 신호선과 상기 차전류 검출수단과의 사이에 각각 통하도록 적어도 1개의 제1 및 제2의 인버터를 가지는 것을 특징으로 하는 반도체 집적회로.

청구항26

제21항 내지 제23항중 어느 한 항에 있어서, 더욱 상기 제1 및 제2의 시선과 상기 차전류 검출수단과의 사이에 각각 통하는 제1 및 제2의 트랜지스터와 이 제1의 트랜지스터의 게이트전극과 상기 제1의 신호선과의 사이에 통하는 적어도 1개의 제1의 인버터와 상기 제2의 트랜지스터의 게이트전극과 상기 제2의 신호선과의 사이에 통하는 적어도 1개의 제2의 인버터를 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항27

제26항에 있어서, 더욱 제1 및 제2의 트랜지스터와 상기 차전류 검출수단과의 각각의 접속부를 각각 프리차아지하는 수단을 가지는 것을 특징으로 하는 반도체 집적회로.

청구항28

제1의 신호선과, 이 신호선에 각각 병렬로 설치된 1 이상의 M개의 단위전류 구동수단과 이 단위전류 구동수단을 각각 제어하는 M개의 데이터를 각각 유지하는 레지스터와 제2의 신호선과

이 제2의 신호선에 각각 병렬로 설치된 N개의 레퍼런스용 전류구동수단과 이 레퍼런스용 단위 전류 구동수단을 각각 제어하는 N개의 데이터를 각각 유지하는 레퍼런스전류 제어레지스터와 상기 제2의 신호선에 설치된 레퍼런스 옴세트전류 구동수단과 상기 M개의 단위전류 구동수단을 통하여 상기 제1의 신호선에 흐르는 전류와 상기 N개의 레퍼런스용 단위전류 구동수단 및 레퍼런스 옴세트전류 구동수단을 통하여 상기 제2의 신호선에 흐르는 레퍼런스전류와의 차전류를 검출하는 차전류 검출수단과를 구비하고, 상기 레퍼런스전류 제어레지스터에 유지된 N개의 데이터의 0 또는 1의 개수에 따라서 상기 데이터 레지스터로부터 상기 단위전류 구동수단에 입력되는 상기 M개의 데이터의 0 또는 1의 개수를 검지하는 것을 특징으로 하는 반도체 집적회로.

청구항29

제28항에 있어서, 상기 단위전류 구동수단은 동작타이밍을 제어하는 제어트랜지스터와 그 게이트전극이 대응하는 상기 데이터 입력선에 접속된 신호전압인가 트랜지스터를 가지는 것을 특징으로 하는 반도체 집적회로.

청구항30

제29항에 있어서, 상기 신호전압인가 트랜지스터는 상기 제어트랜지스터와 상기 제1의 신호선과의 사이에 통하도록 설치되는 반도체 집적회로.

청구항31

제28항 내지 제30항중 어느 한 항에 있어서, 상기 차전류 검출수단은, 더욱 검출개시전압과 상기 제1 및 제2의 신호선에 미리 동일하게 설정되는 전압과의 차를 상대적으로 크게 갖는 검출개시레벨 설정수단을 가지는 것을 특징으로 하는 반도체 집적회로.

청구항32

제28항 내지 제30항중 어느 한 항에 있어서, 더욱 상기 제1 및 제2의 신호선과, 상기 차전류 검출수단과의 사이에 각각 통하는 적어도 1개의 제1 및 제2의 인버터를 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항33

제28항 내지 제30항중 어느 한 항에 있어서, 더욱 제1 및 제2의 신호선과 상기 차전류 검출수단과의 사이에 각각 통하는 제1 및 제2의 트랜지스터와, 이 제1의 트랜지스터의 게이트전극과 상기 제1의 신호선과의 사이에 통하는 적어도 하나의 제1의 트랜지스터와, 상기 제2의 트랜지스터 게이트전극과 상기 제2의 신호선과의 사이에 통하는 적어도 1개의 제2의 인버터를 구비한

것을 특징으로 하는 반도체 집적회로.

청구항34

제33항에 있어서, 더욱 상기 제1 및 제2의 트랜지스터와 상기 차전류 검출수단과의 각각의 접속부를 각각 프리차아지하는 수단을 가지는 것을 특징으로 하는 반도체 집적회로.

청구항35

각각 적어도 1개의 검출노우드를 가지는 제1의 신호선 및 제2의 신호선과, 이 제1의 신호선 및 제2의 신호선의 각각의 검출노우드에 접속되고, 각각의 신호선에 대응한 제1의 입력노우드 및 제2의 입력 노우드를 가지는 제1의 전류구동수단 및 제2의 전류구동수단과 상기 제1의 신호선과 제2의 신호선의 차전류를 검출하고, 제1의 출력노우드 및 제2의 출력노우드를 가지는 전류구동용 래치회로와, 이 전류구동용 래치회로와 상기 제1 및 제2의 신호선의 검출노우드의 사이에 각각 설치되고, 상기 전류구동용 래치회로의 검출타이밍을 제어하는 수단을 구비한 것을 특징으로 하는 타이밍 센스앰프.

청구항36

제35항에 있어서, 소오스가 제1의 전원전위 노우드에 접속되고, 드레인이 상기 제1의 출력노우드에 접속되는 제1도전형의 제1의 MOS 트랜지스터와, 드레인이 상기 제1의 출력노우드에 접속되는 제2도전형의 제2의 MOS 트랜지스터와, 소오스가 상기 제1의 전원전위 노우드에 접속되고, 드레인이 상기 제2의 출력노우드에 접속되는 상기 제1도전형의 제3의 MOS 트랜지스터와, 드레인이 상기 제2의 출력노우드에 접속되는 제2도전형의 제4의 MOS 트랜지스터를 구비하고, 상기 제1의 MOS 트랜지스터의 게이트 및 제2의 MOS 트랜지스터의 게이트가 함께 상기 제2의 출력노우드에 접속되고, 상기 제3의 MOS 트랜지스터의 게이트 및 제4의 MOS 트랜지스터의 게이트가 함께 상기 제1의 출력노우드에 접속되고, 상기 제2의 MOS 트랜지스터의 소오스가 상기 제1의 신호선에 접속되고, 제4의 MOS 트랜지스터의 소오스가 상기 제2의 신호선에 접속되는 타이밍 센스앰프.

청구항37

제36항에 있어서, 상기 제1의 도전형 MOS 트랜지스터가 P채널 MOS 트랜지스터이고, 상기 제2의 도전형 MOS 트랜지스터가 N채널 MOS 트랜지스터인 타이밍 센스앰프.

청구항38

제36항에 있어서, 상기 제1의 도전형 MOS 트랜지스터가 N채널 MOS 트랜지스터이고, 상기 제

2의 도전형 MOS 트랜지스터가 P채널 MOS 트랜지스터인 타이밍 센스앰프.

청구항39

제35항 내지 제38항중 어느 한 항에 있어서, 상기 제1의 전류구동수단은, 한편의 전극이 상기 제1의 신호선의 검출노우드에 접속되고, 게이트가 상기 제1의 입력노우드로 되는 제1의 신호의 트랜지스터와, 한편의 전극이 제2의 신호선의 검출노우드에 접속되고, 게이트가 상기 제2의 입력노우드로 되는 제2의 검출노우드에 접속되고, 게이트가 상기 제2의 입력노우드로 되는 제2의 신호용 트랜지스터와, 상기 제1의 신호용 트랜지스터 및 상기 제2의 신호용 트랜지스터의 다른 편의 전극과 제2의 전원전위 노우드와의 사이에 접속되고, 게이트에 제어신호가 입력되는 적어도 하나의 제어용 트랜지스터를 가지는 타이밍 센스앰프.

청구항40

제39항에 있어서, 상기 제어용 트랜지스터는, 상기 제1의 신호용 트랜지스터와 제2의 전원전위와의 사이에 접속되는 제1의 제어용 트랜지스터와, 상기 제2의 트랜지스터와 제2의 전원전위와의 사이에 접속되는 제2의 제어용 트랜지스터로 되는 타이밍 센스앰프.

청구항41

제39항에 있어서, 상기 제어용 트랜지스터는, 상기 제1 및 제2의 신호용 트랜지스터의 소오스 상호 접속점과 상기 제2의 전원전위와의 사이에 접속되는 타이밍 센스앰프.

청구항42

제35항 내지 제38항중 어느 한 항에 있어서, 상기 검출타이밍 제어수단은 상기 제1의 신호선 및 제2의 신호선의 각 노우드를 소정전위로 설정되는 노우드 전위 설정수단인 타이밍 센스앰프.

청구항43

제42항에 있어서, 상기 노우드전위 설정수단은, 프리차아지수단인 타이밍 센스앰프.

청구항44

제42항에 있어서, 검출개시전압과 상기 제1 및 제2의 신호선에 미리 동일하게 설정되는 전압과의 차를 상대적으로 크게 잡는 검출개시레벨 설정수단을 더 가지는 것을 특징으로 하는 타이밍 센스앰프.

청구항45

제44항에 있어서, 상기 검출개시레벨 설정수단이, 상기 전류구동형 래치회로와 상기 제1의 노우드와의 사이에 설치되는 제1도전형의 MOS 트랜지스터 또는 제2도전형의 MOS 트랜지스터인 타이밍 센스앰프.

청구항46

제35항 내지 제38항중 어느 한 항에 있어서, 상기 검출타이밍 제어수단이 제1 및 제2의 스위칭용 트랜지스터와, 이 제1의 스위칭용 트랜지스터의 게이트전극과 상기 제1의 신호선과의 사이에 통하는 적어도 하나의 제1의 인버터와, 상기 제2의 스위칭용 트랜지스터의 게이트전극과 상기 제2의 신호선과의 사이에 통하는 적어도 하나의 제2의 인버터를 구비한 타이밍 센스앰프.

청구항47

제35항 내지 제38항중 어느 한 항에 있어서, 상기 검출타이밍 제어수단이 적어도 1개인 인버터인 타이밍 센스앰프.

도면

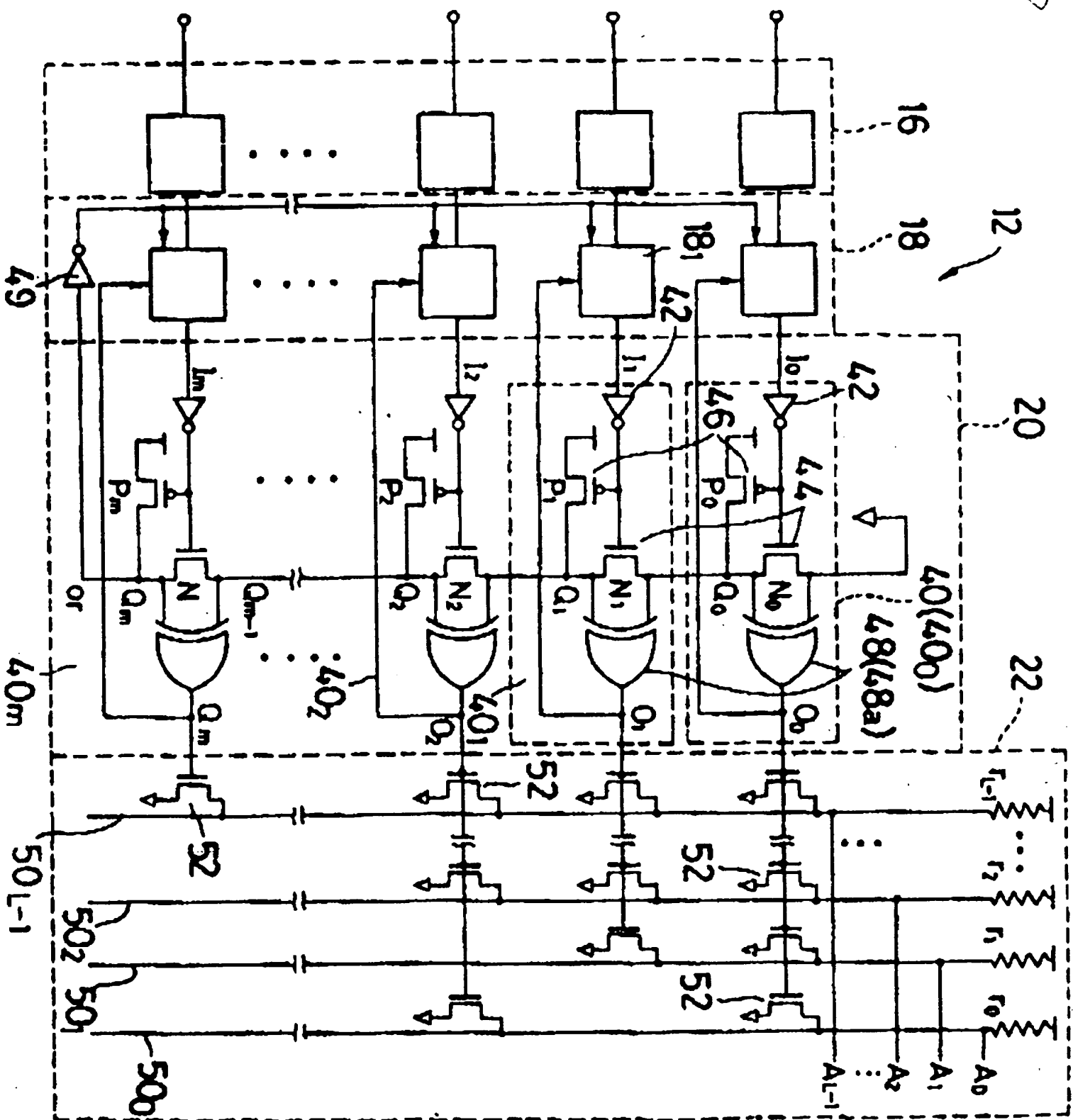
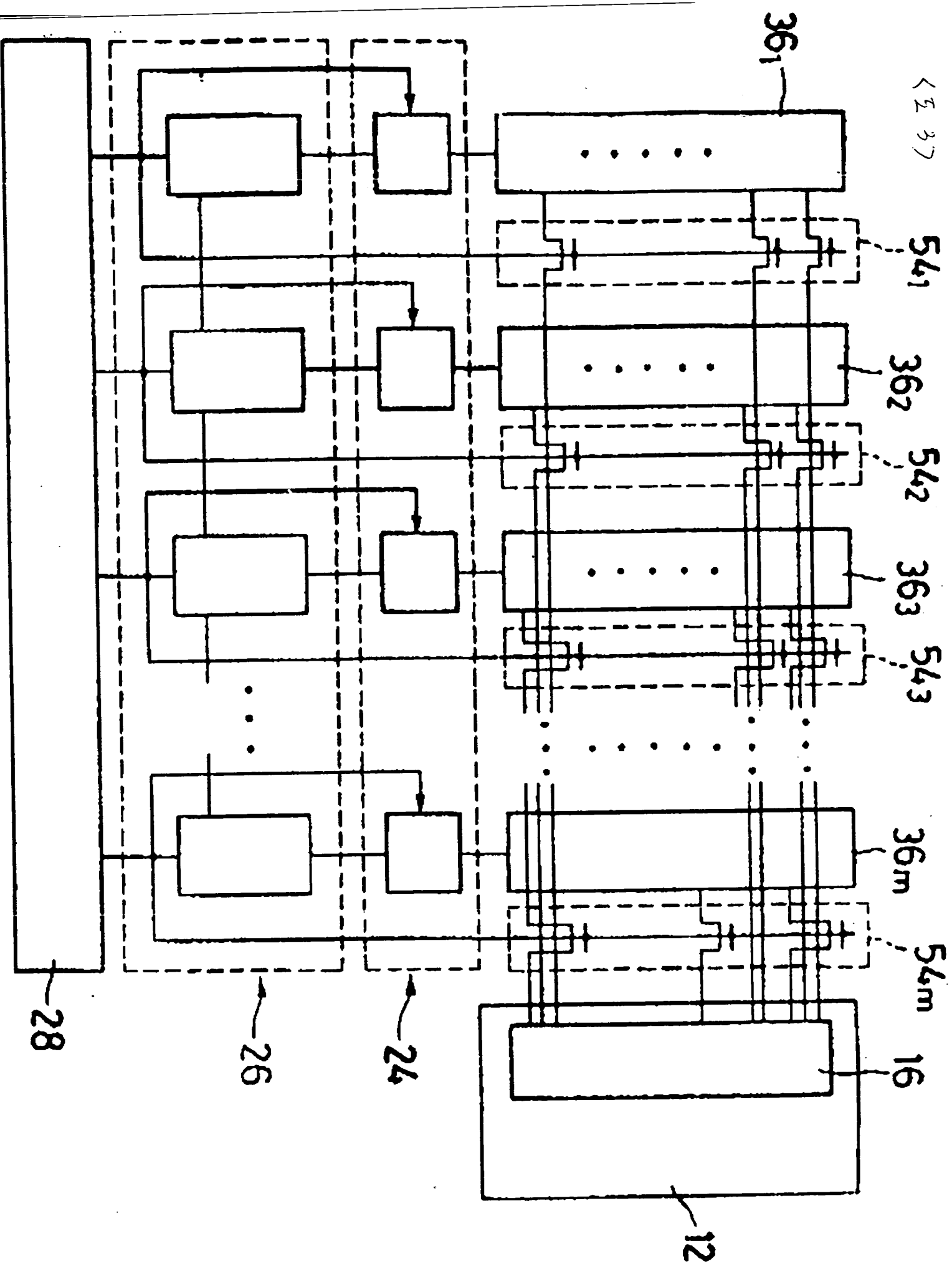
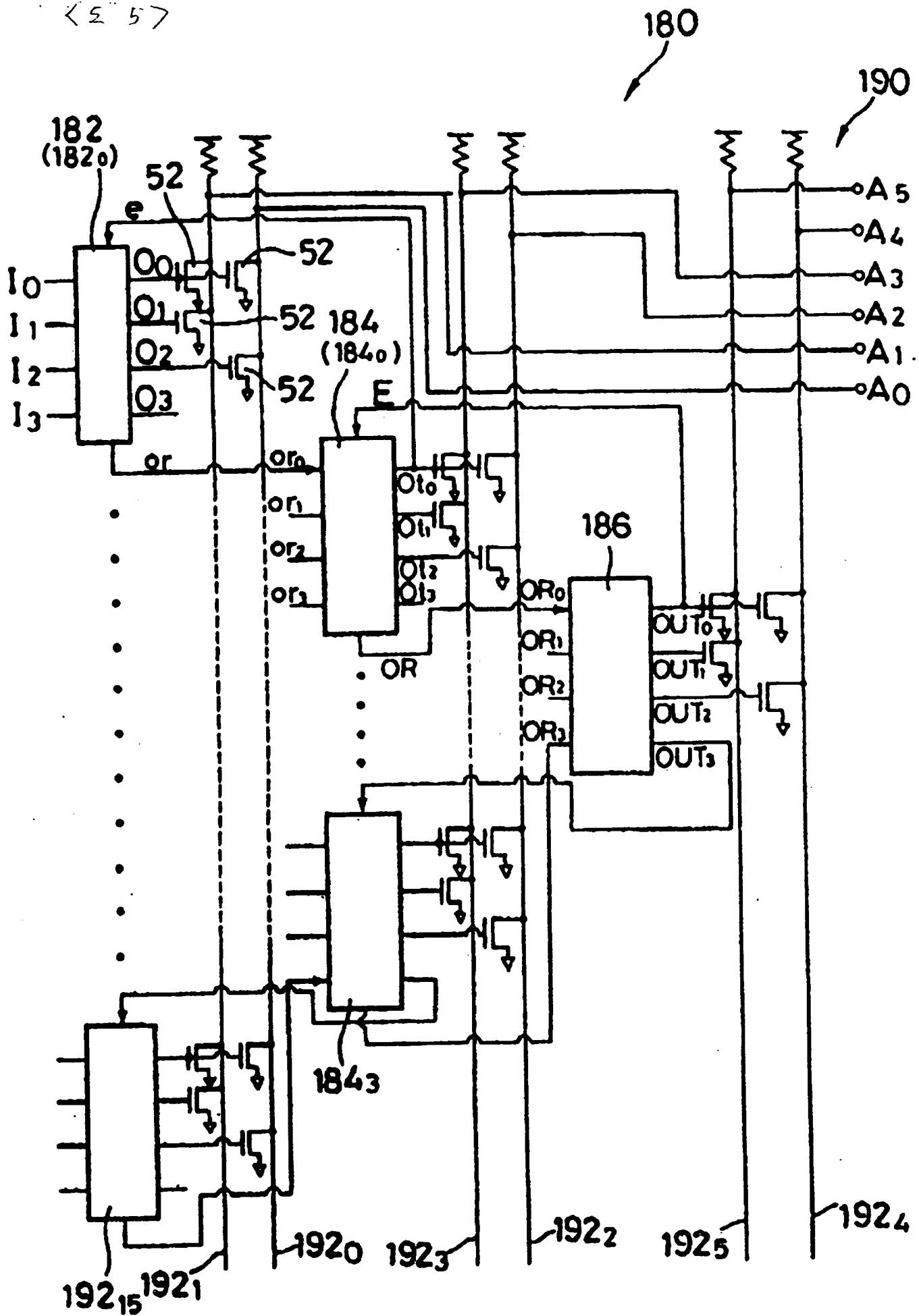
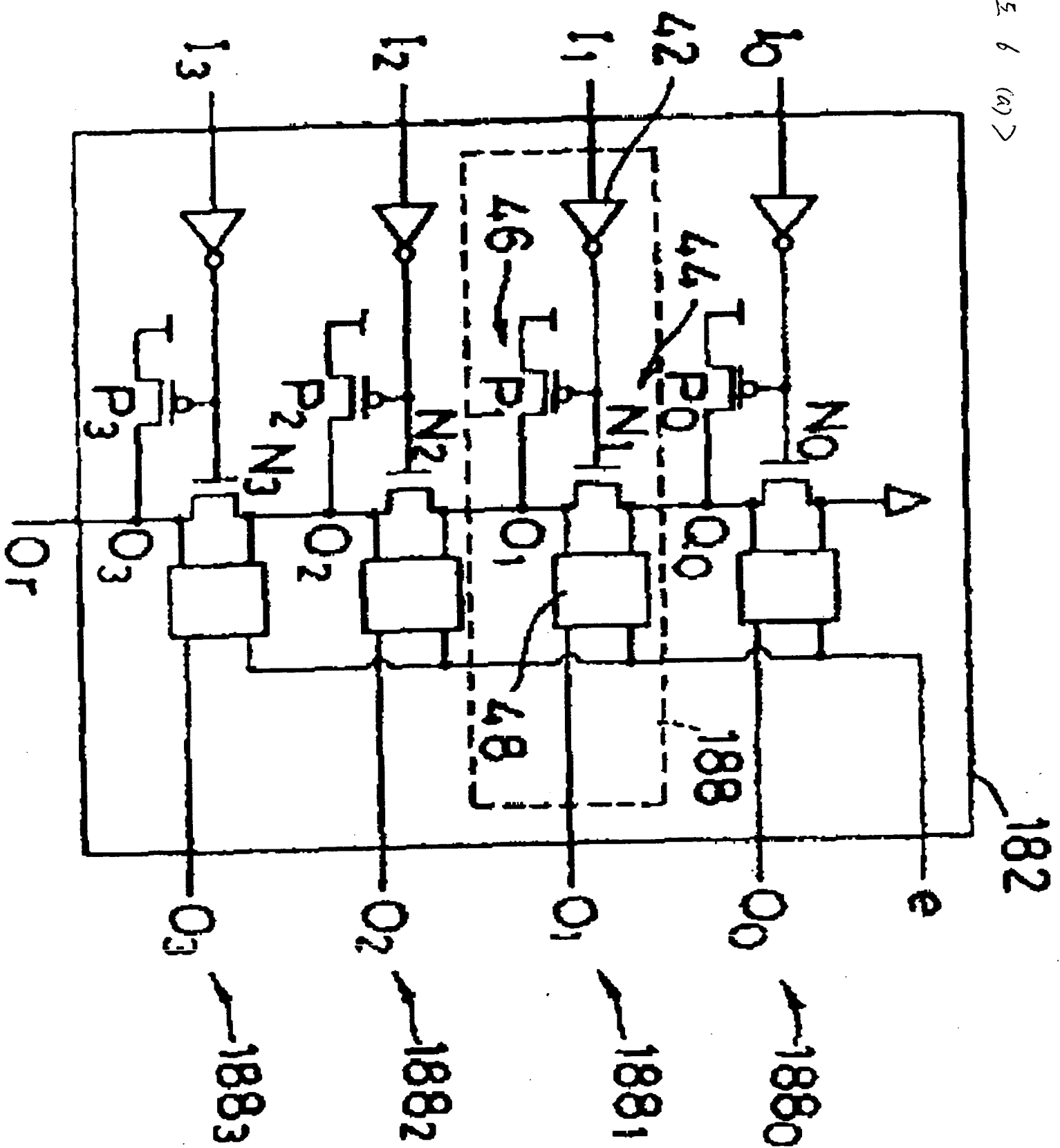


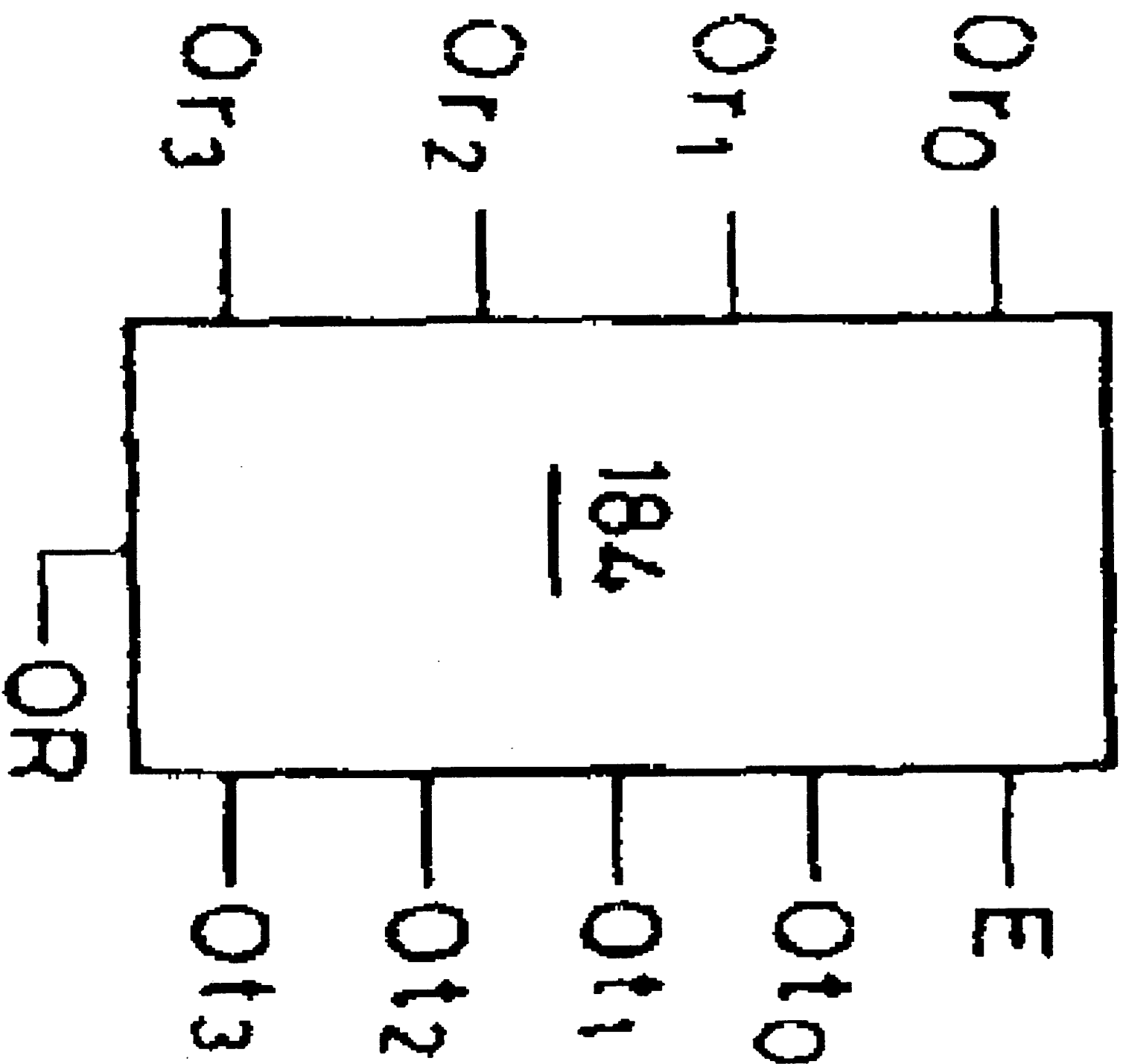
FIG. 37

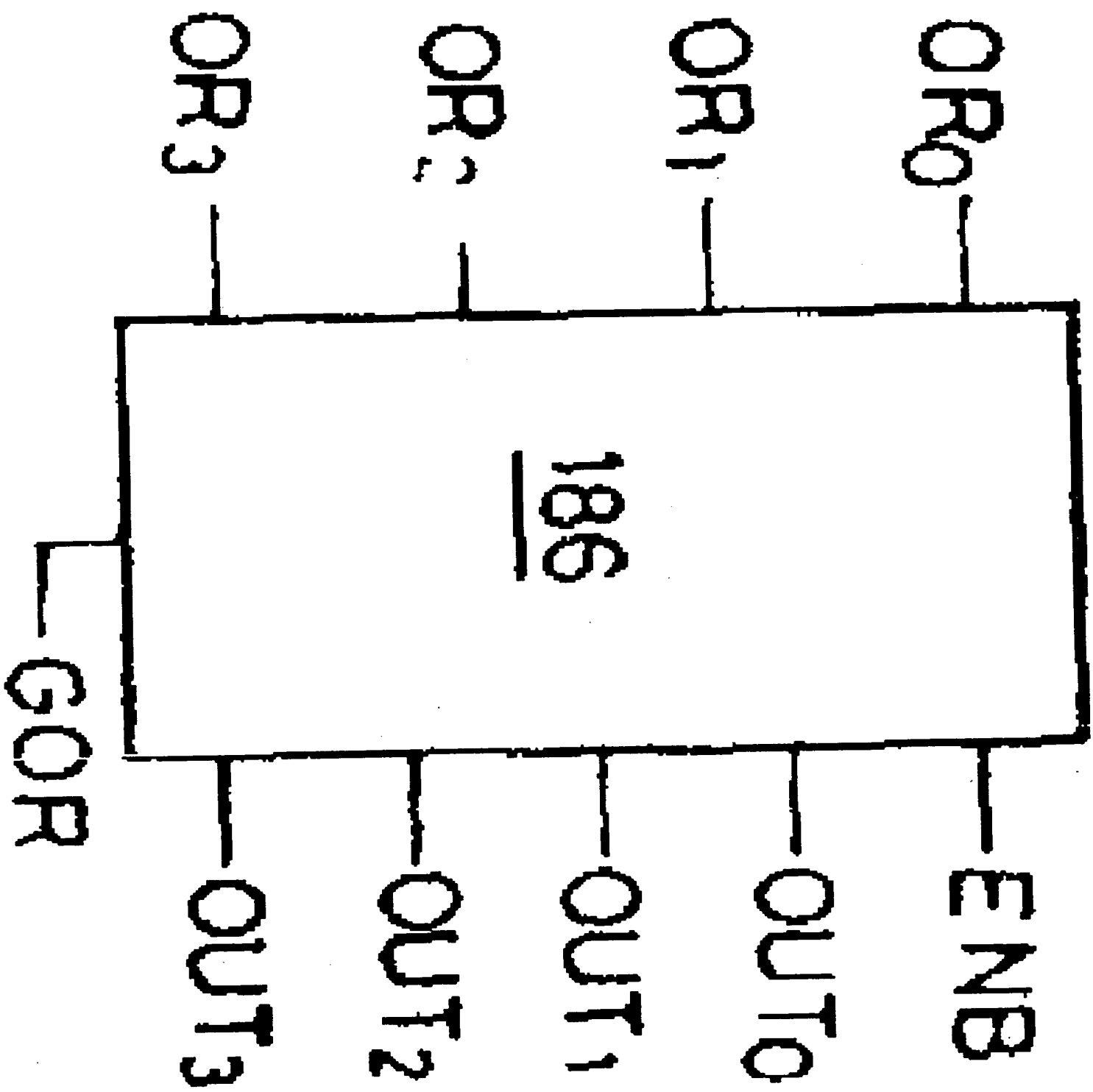




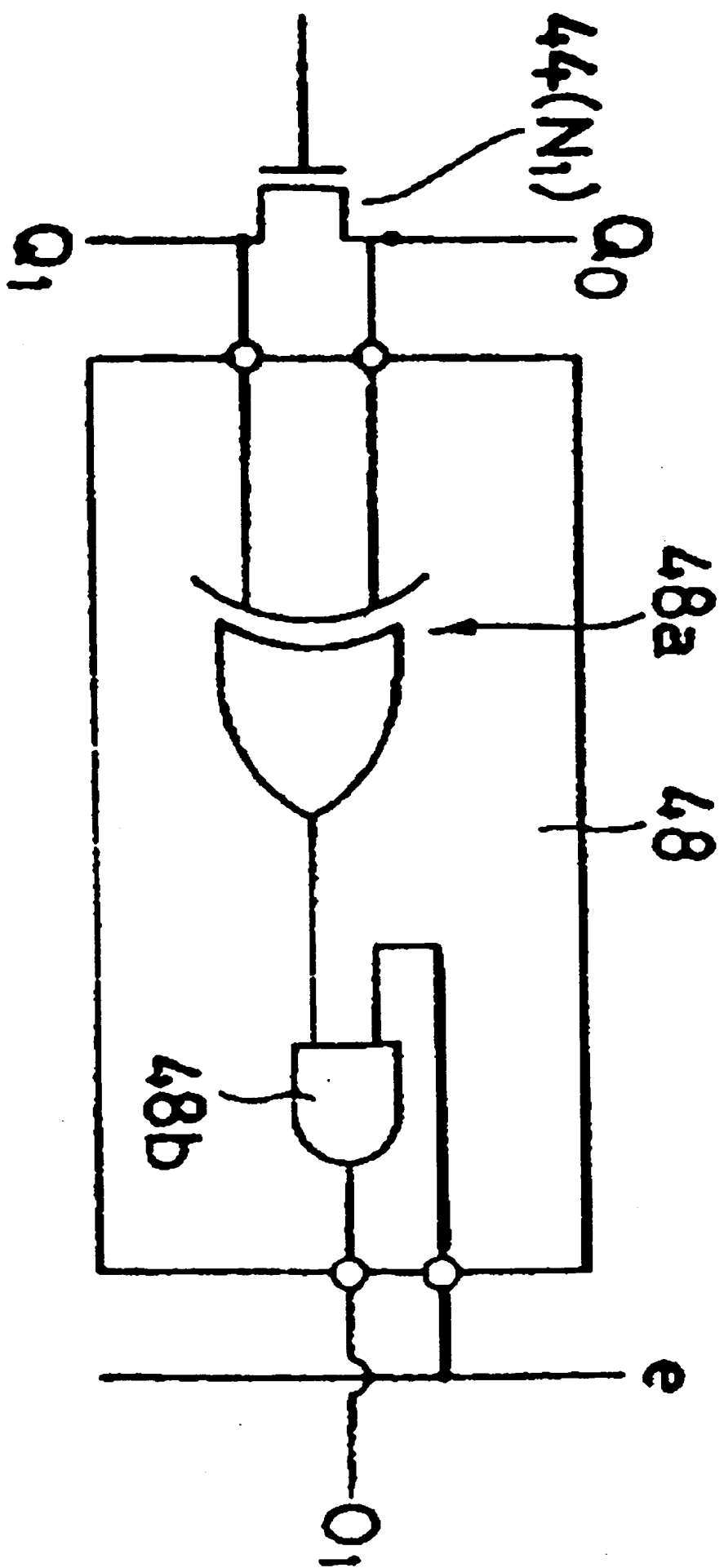


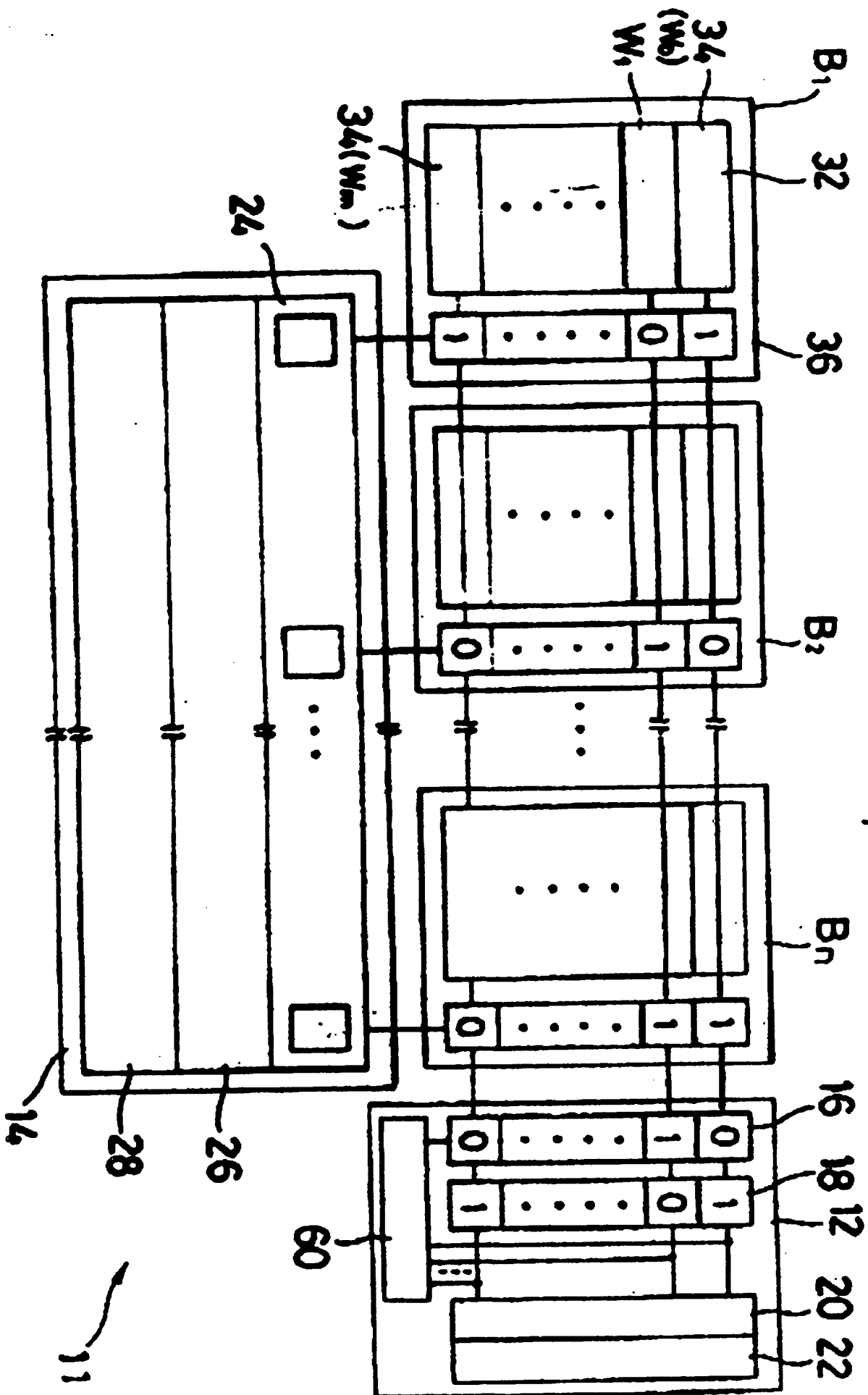
<5.6(b)>



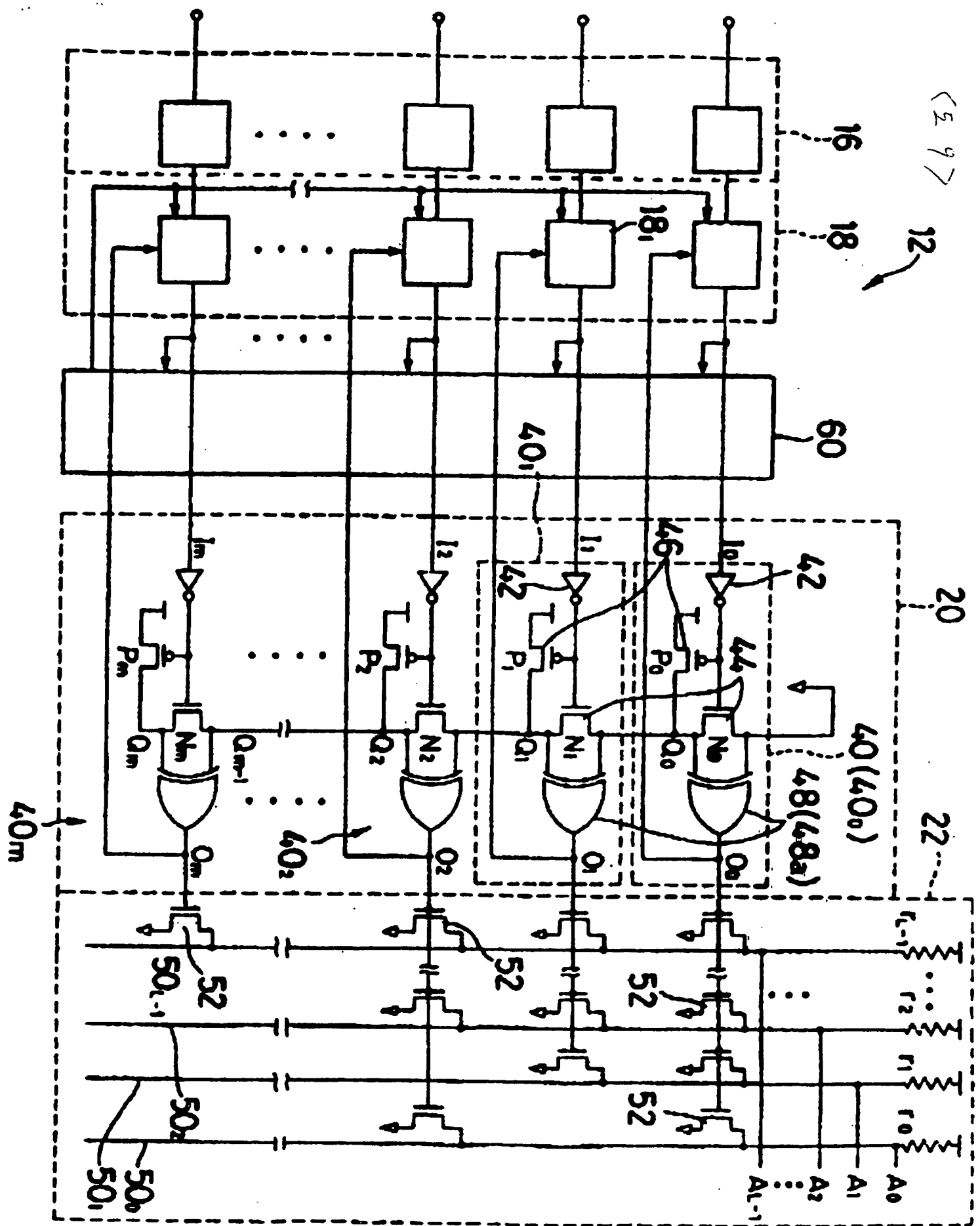


< 5 7 >

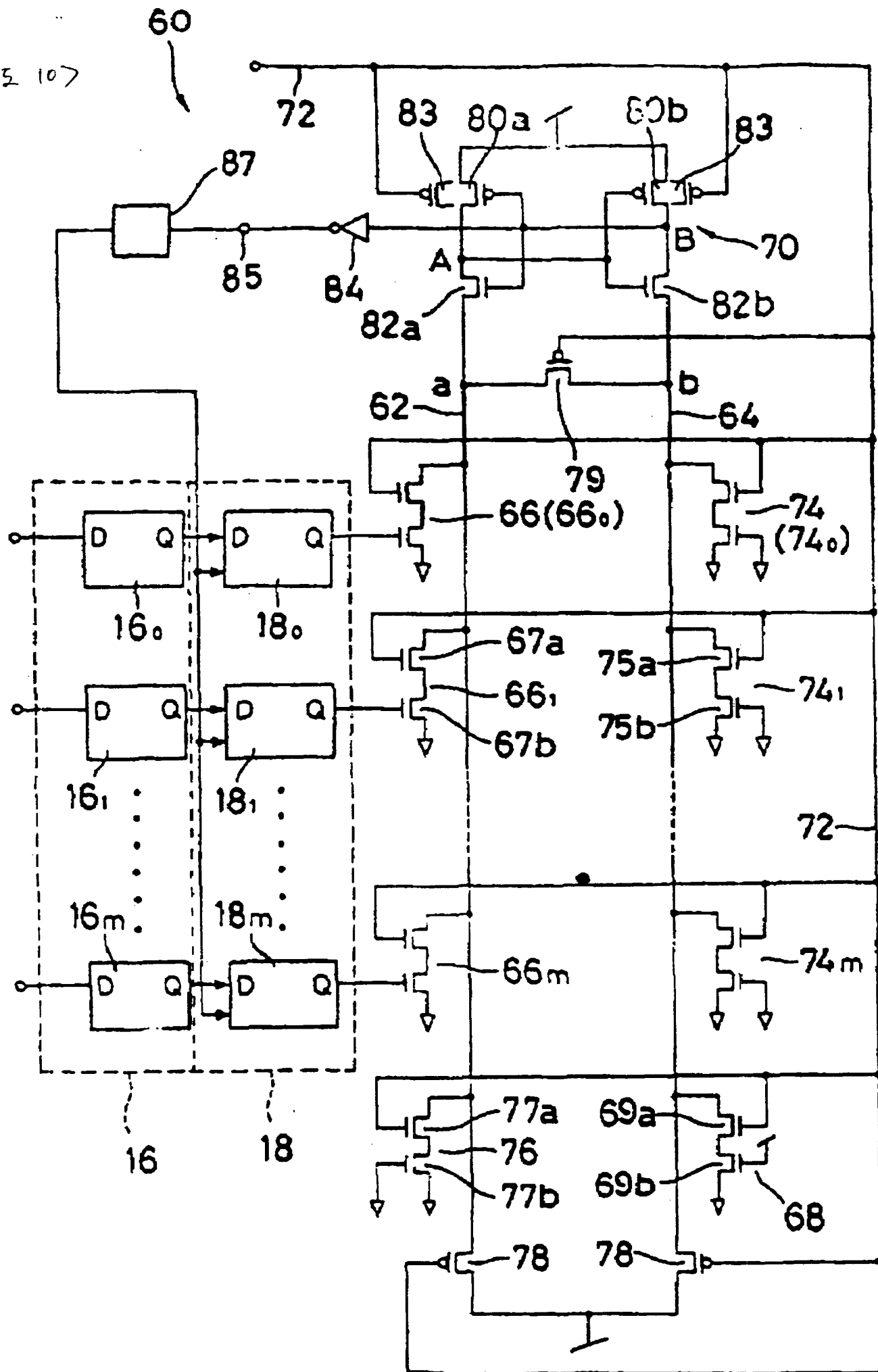




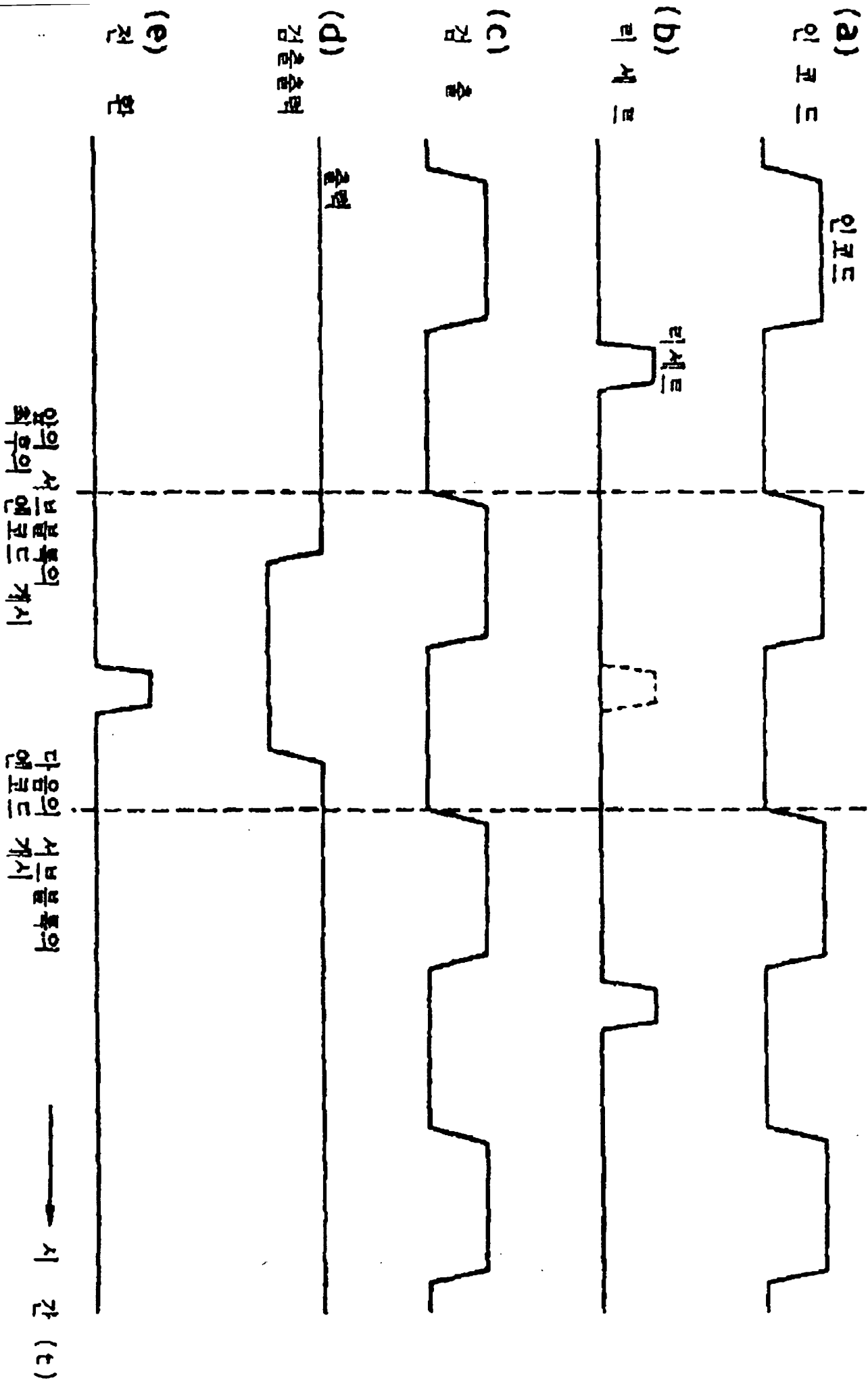
< 59 >



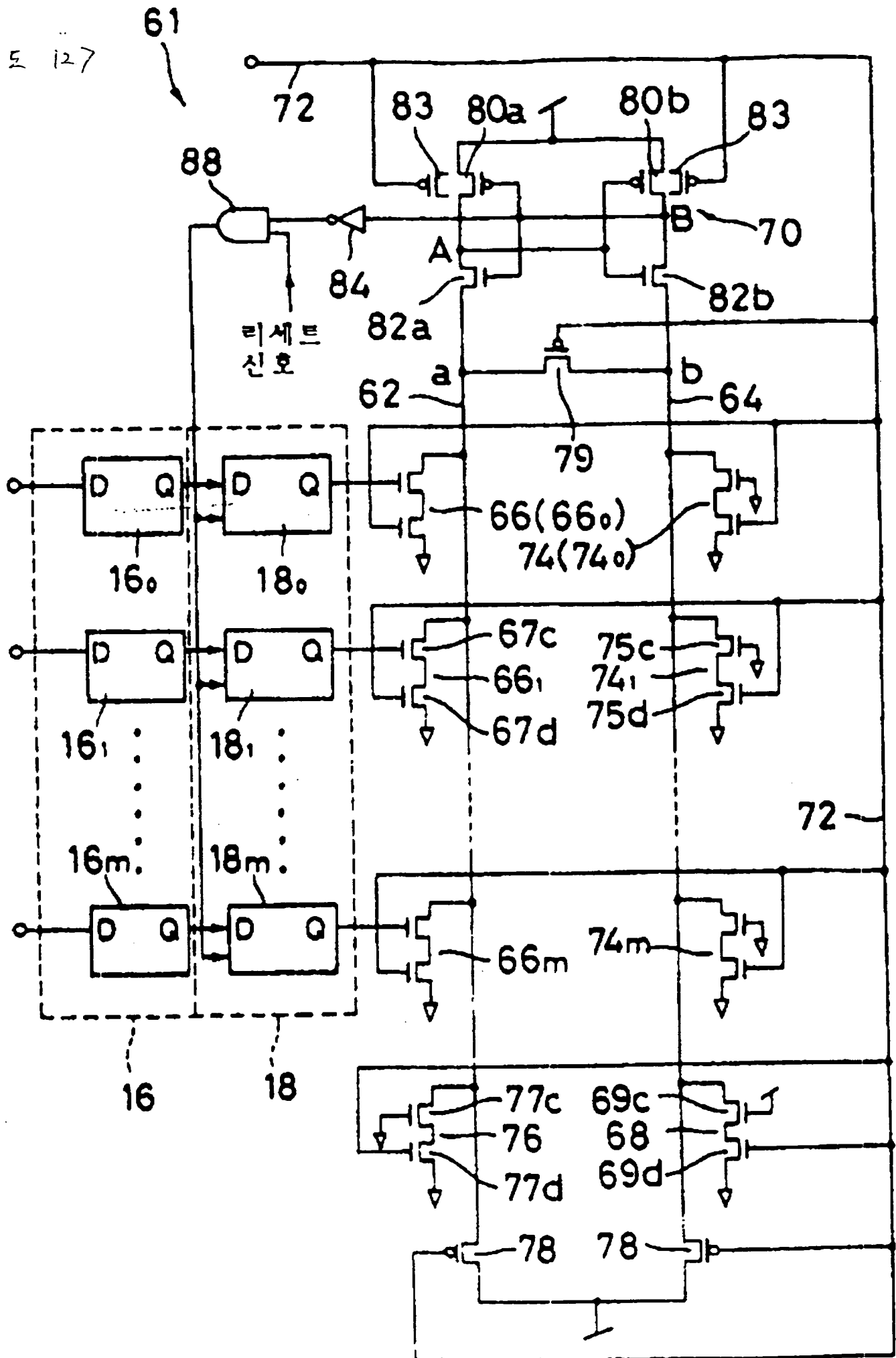
< 5 10 >

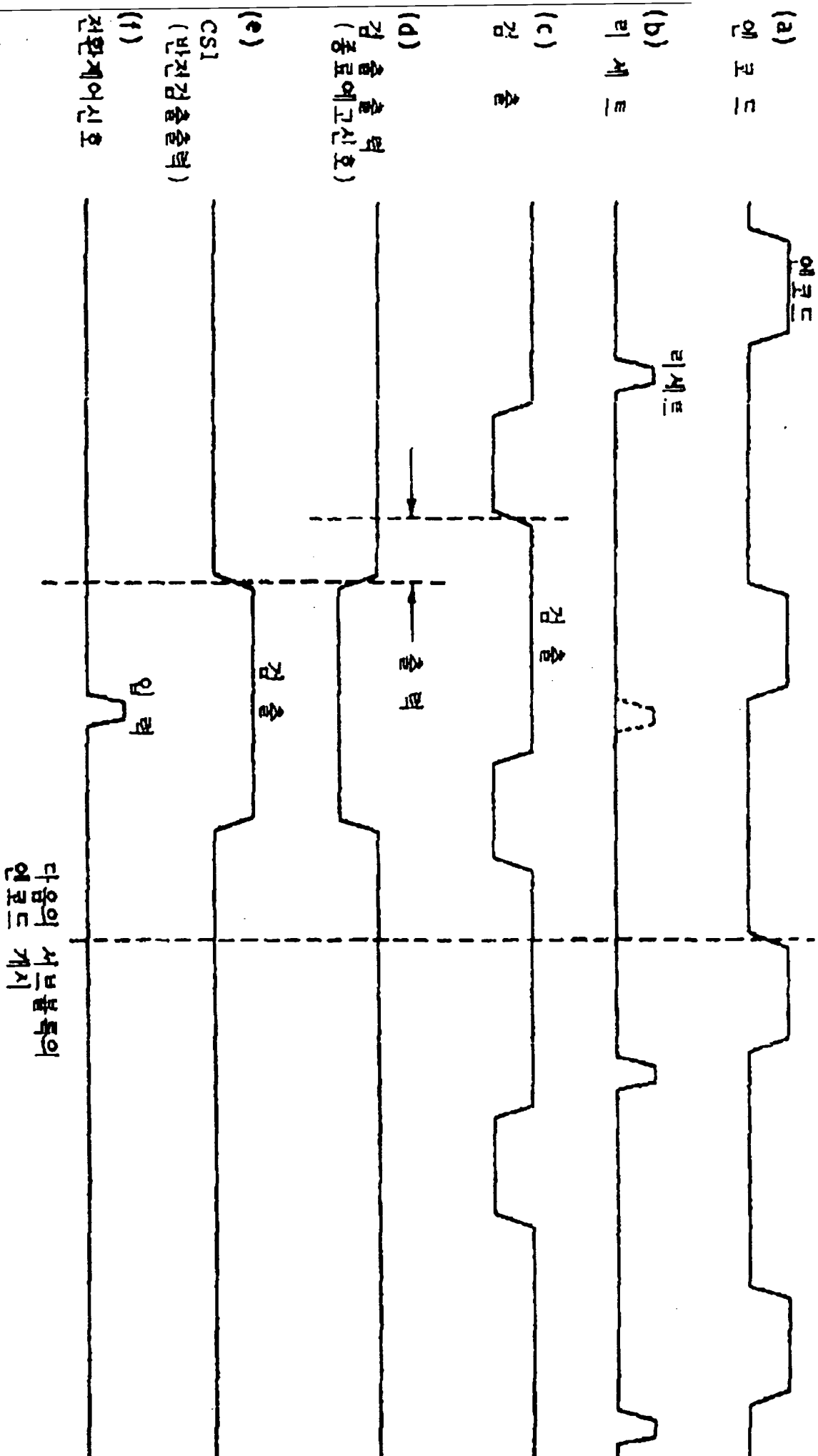


< 도 11 >

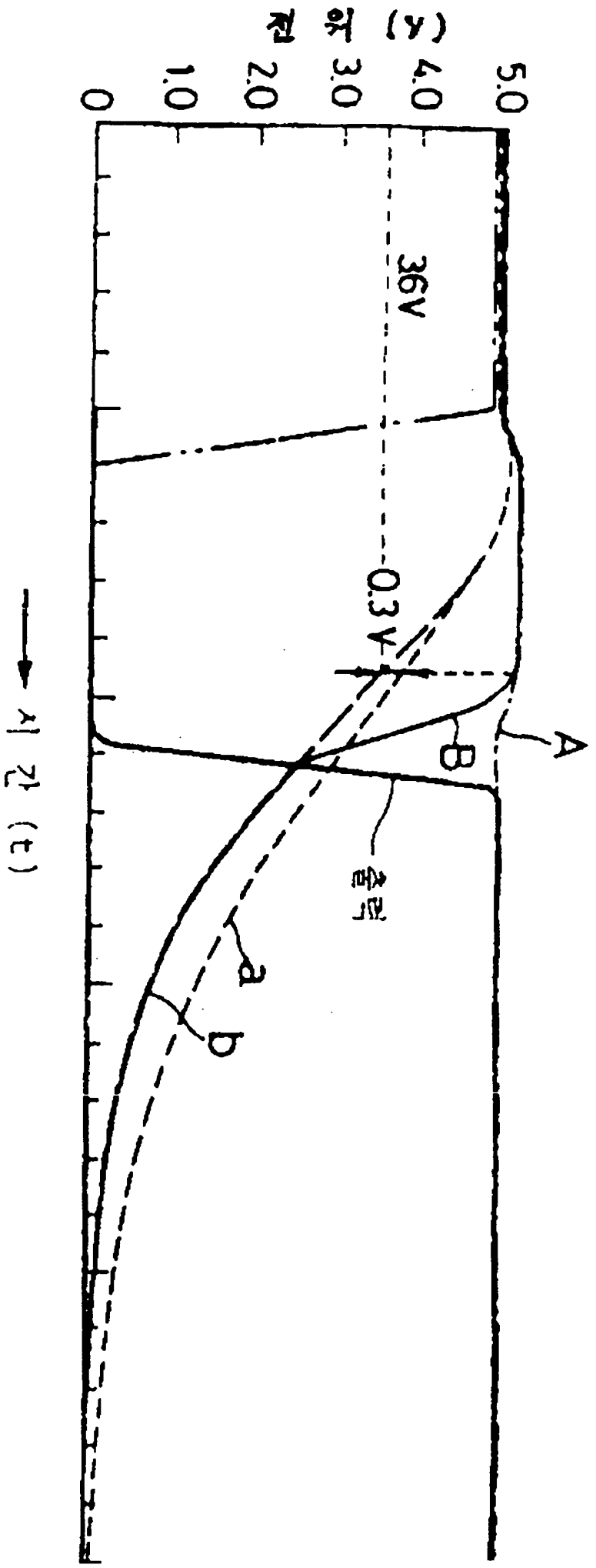


< 도 127 >

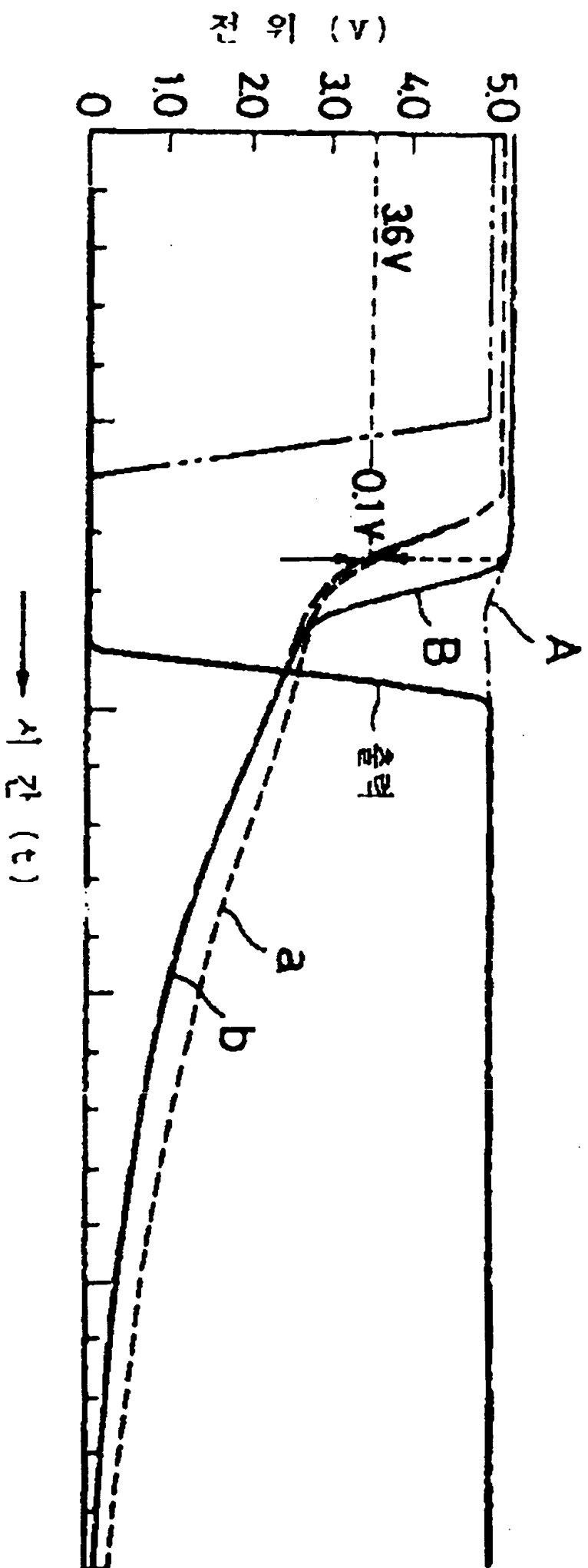




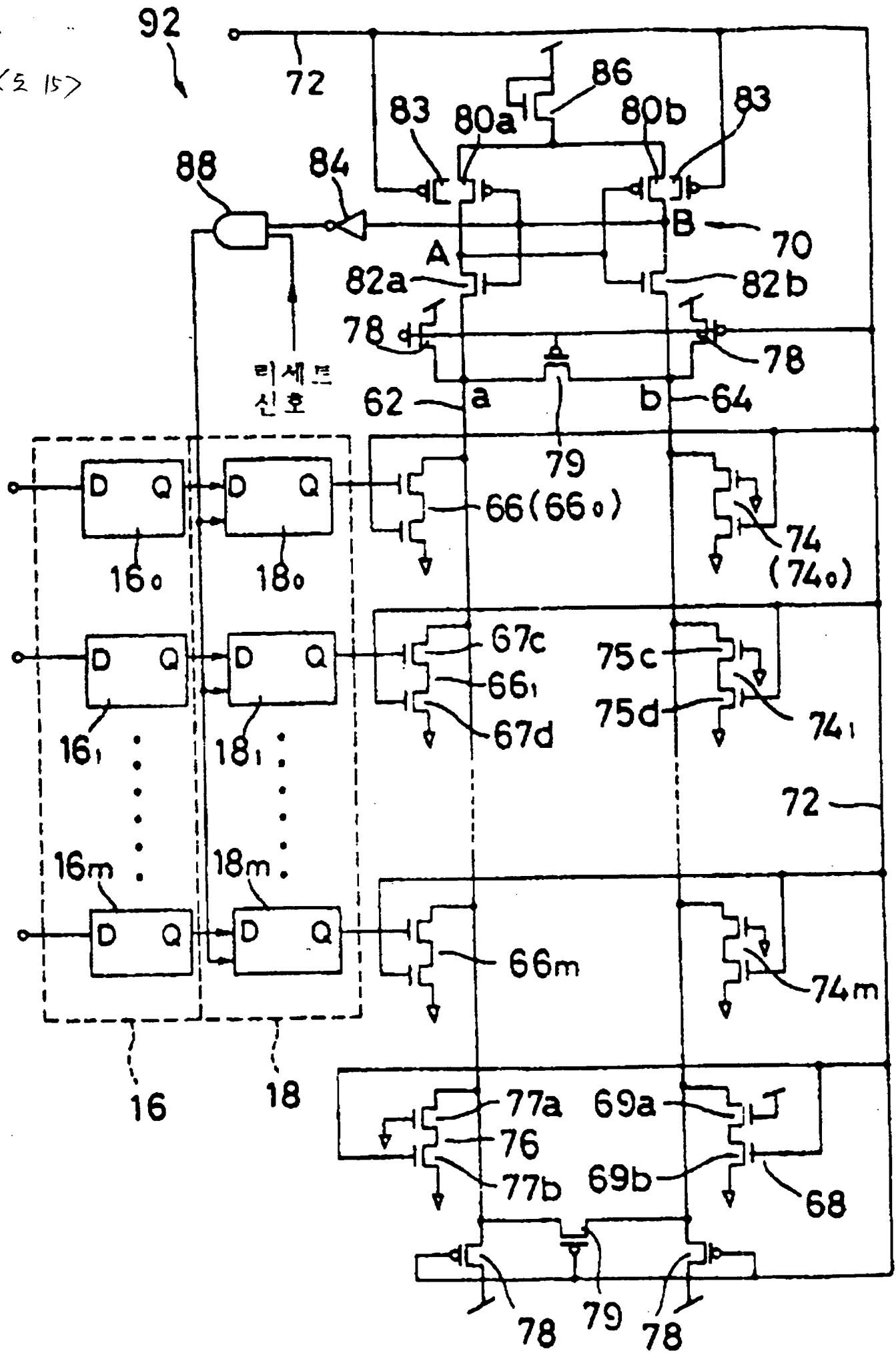
< 5 14 (a) >



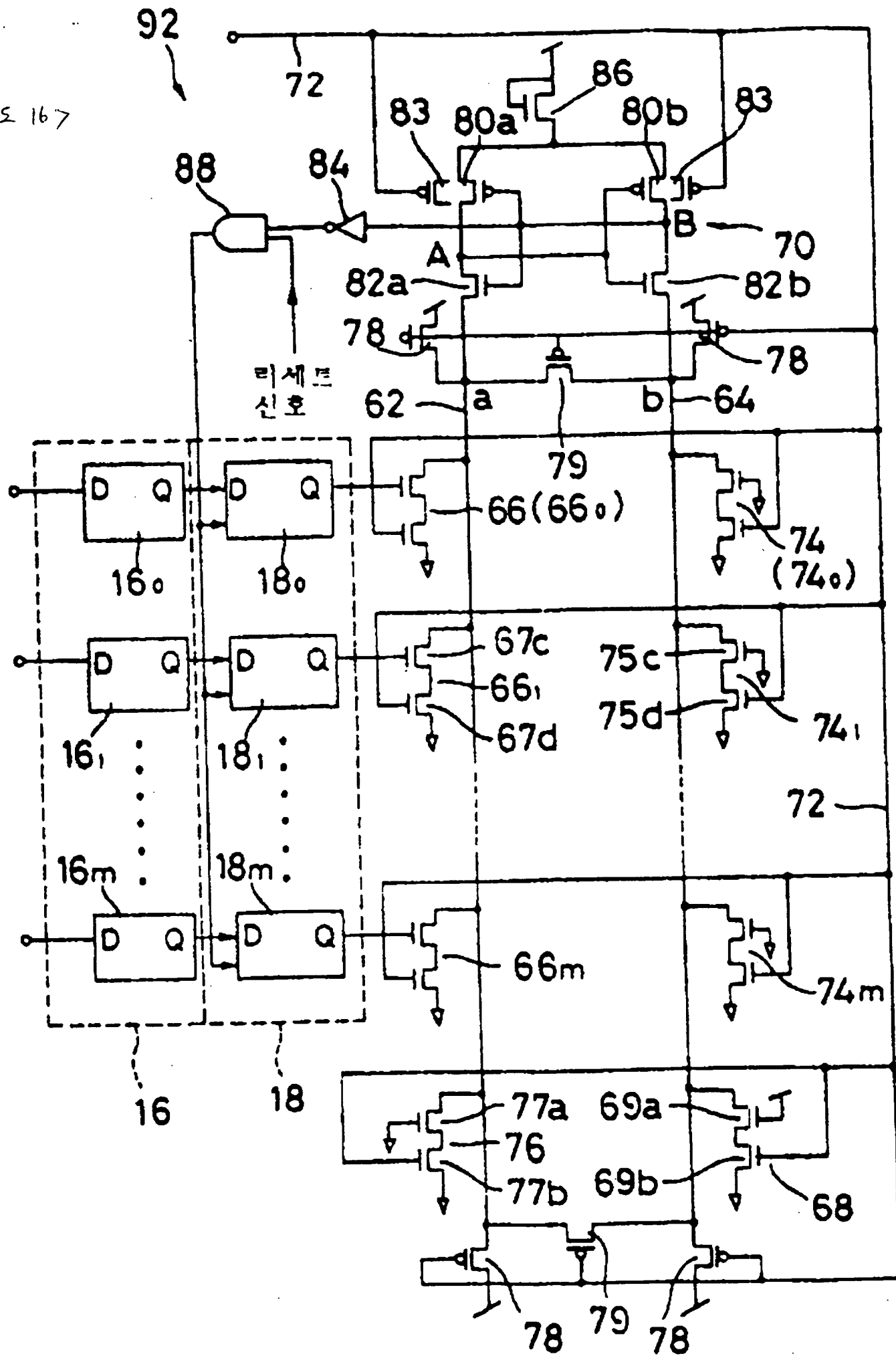
< 5 14 (b) >



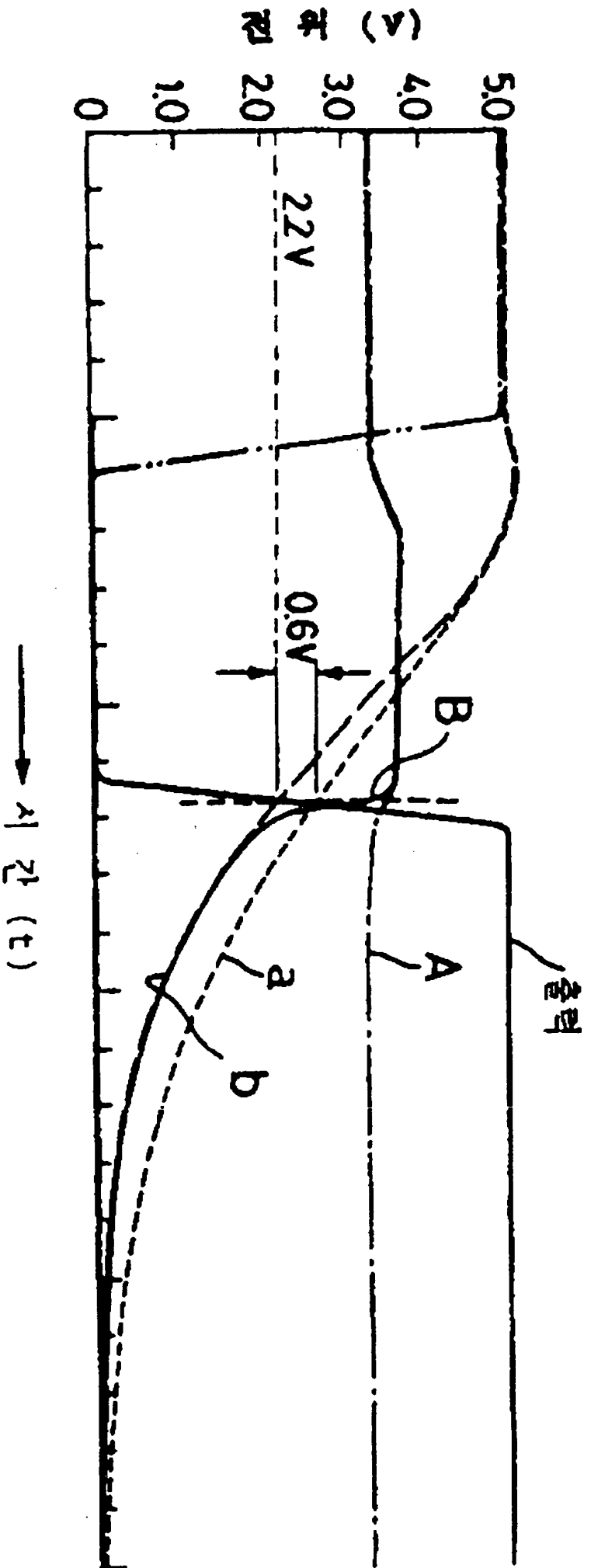
< 2 15 >



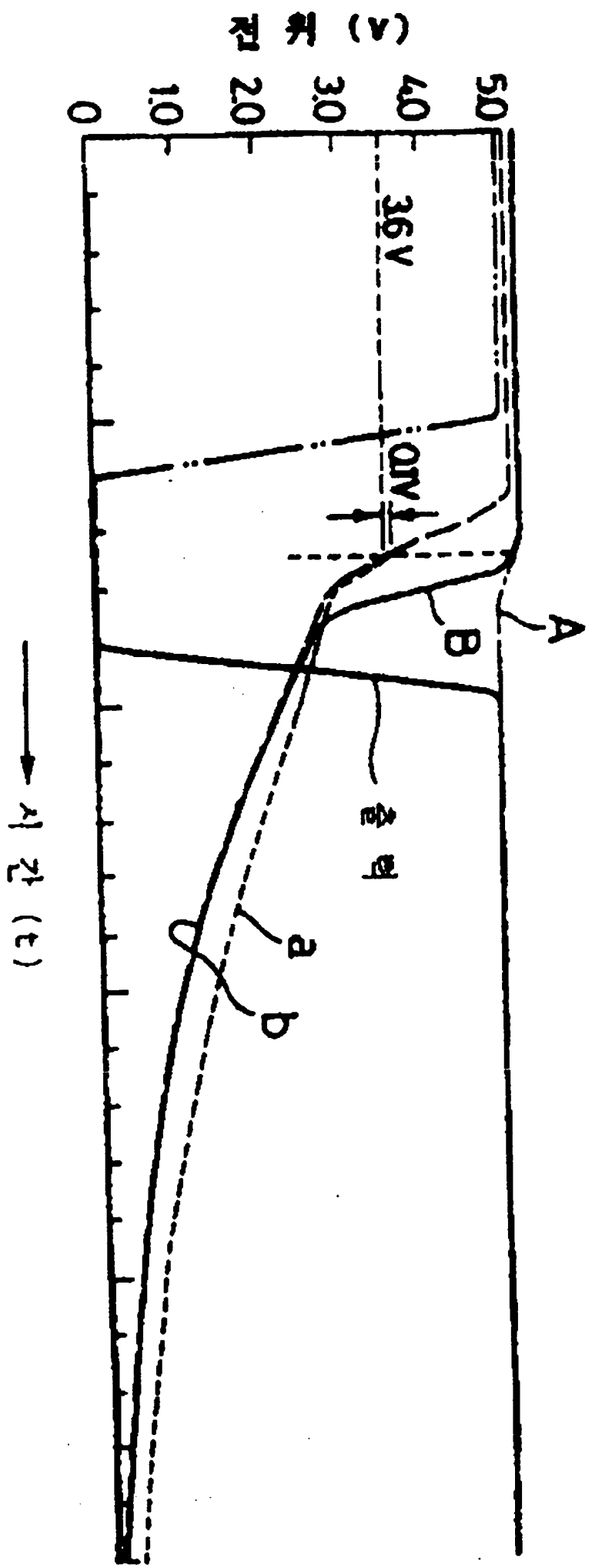
< 도 16 >



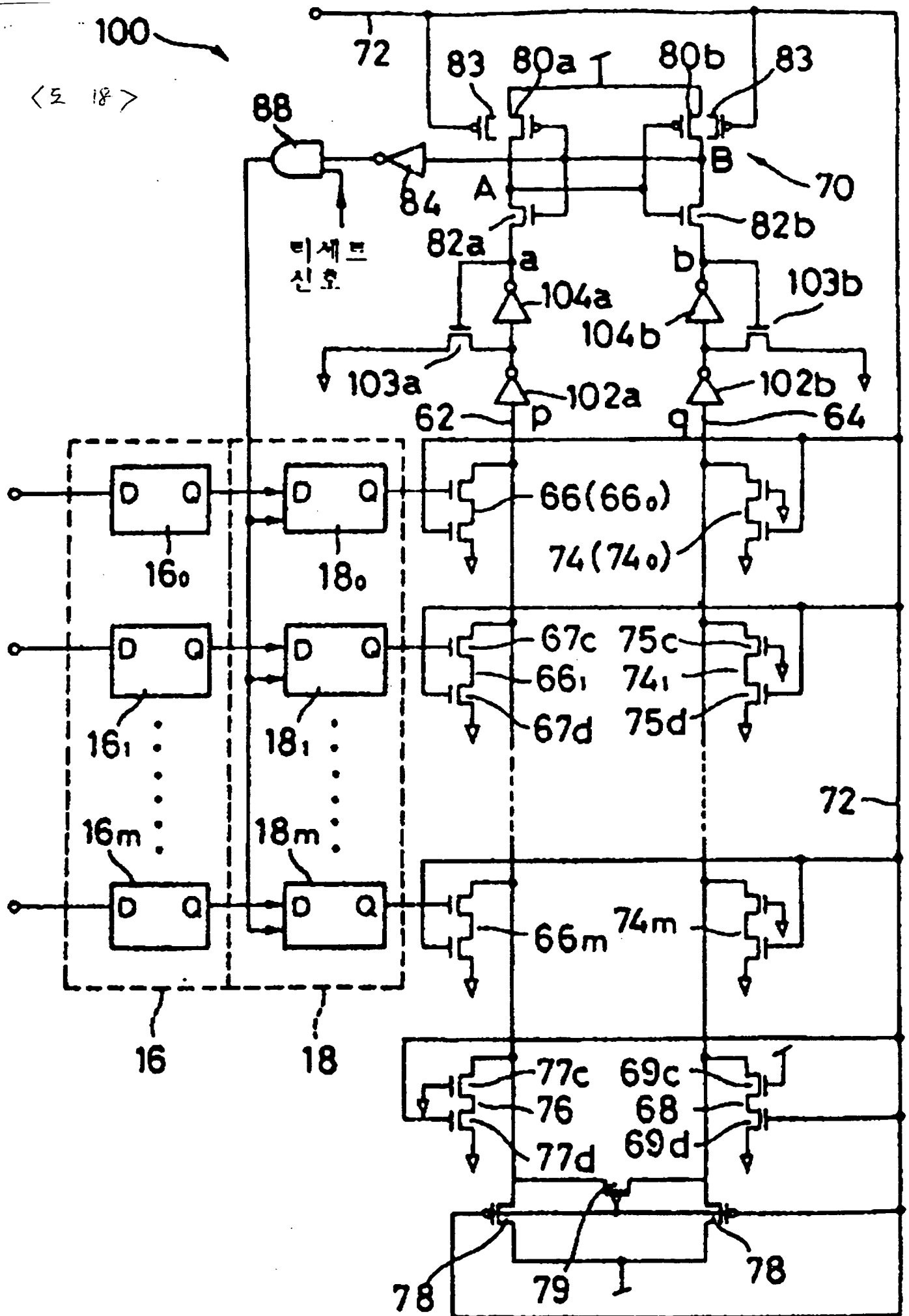
< 5 17 (a) >



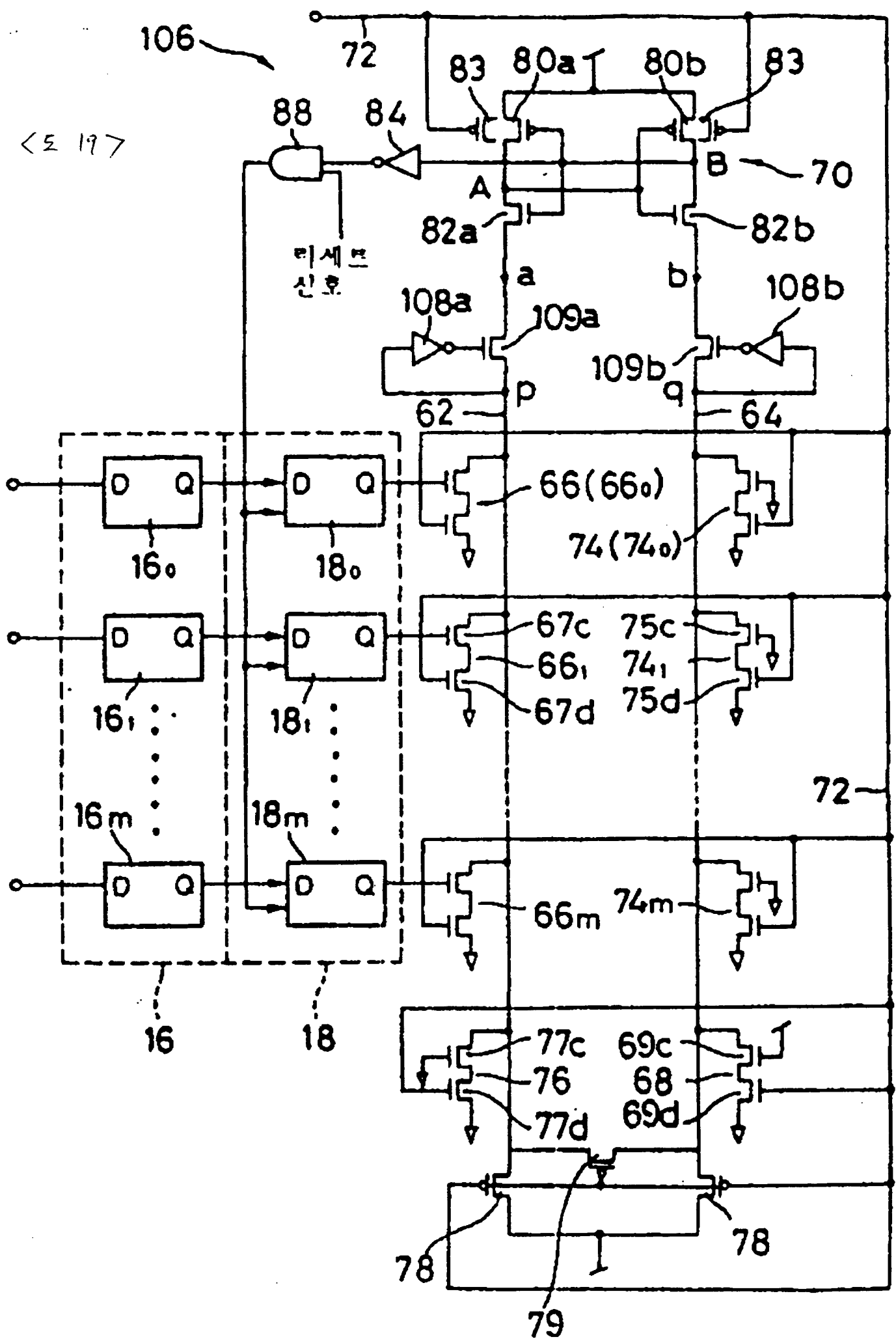
< 2 17 (b) >



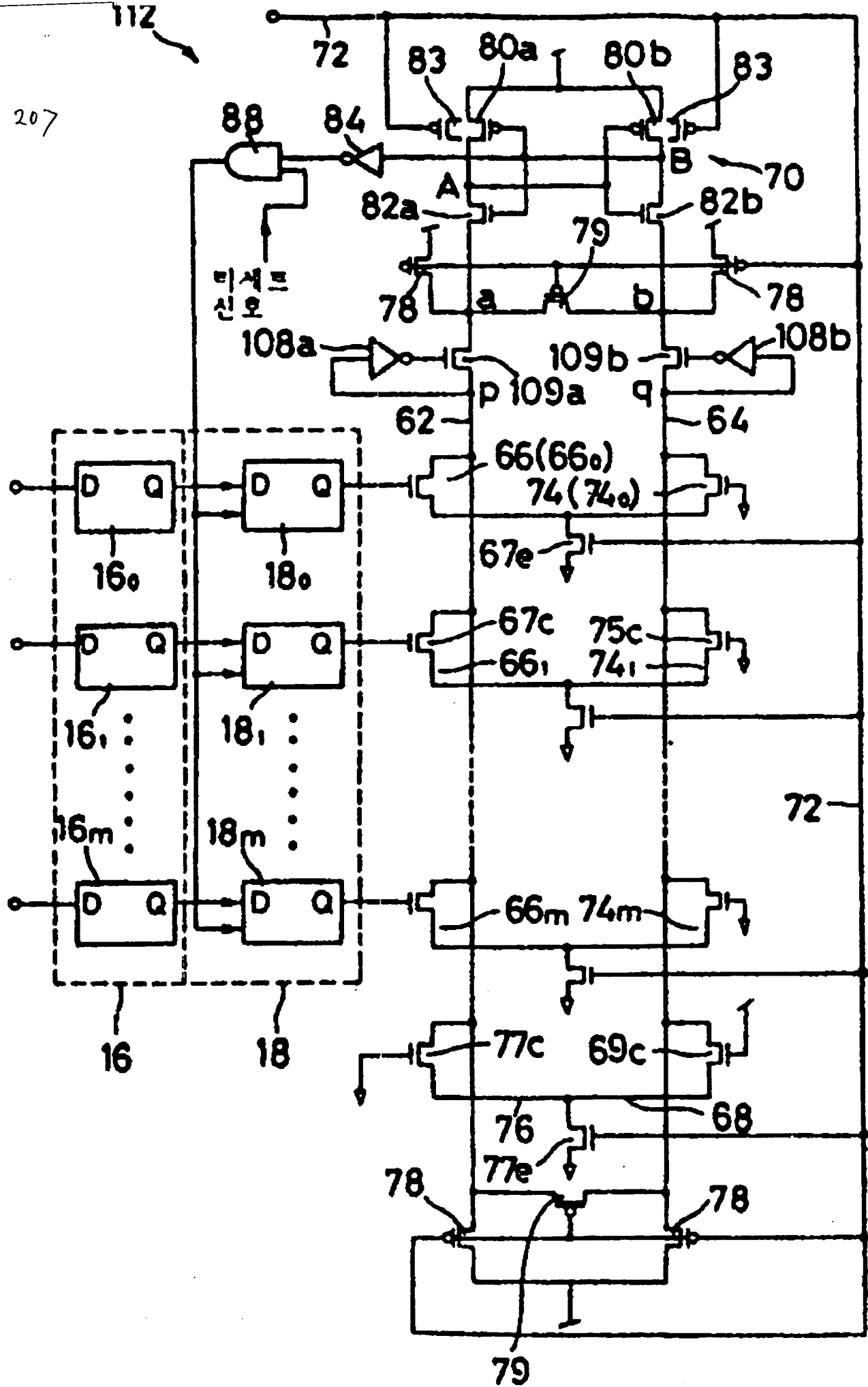
< 도 18 >



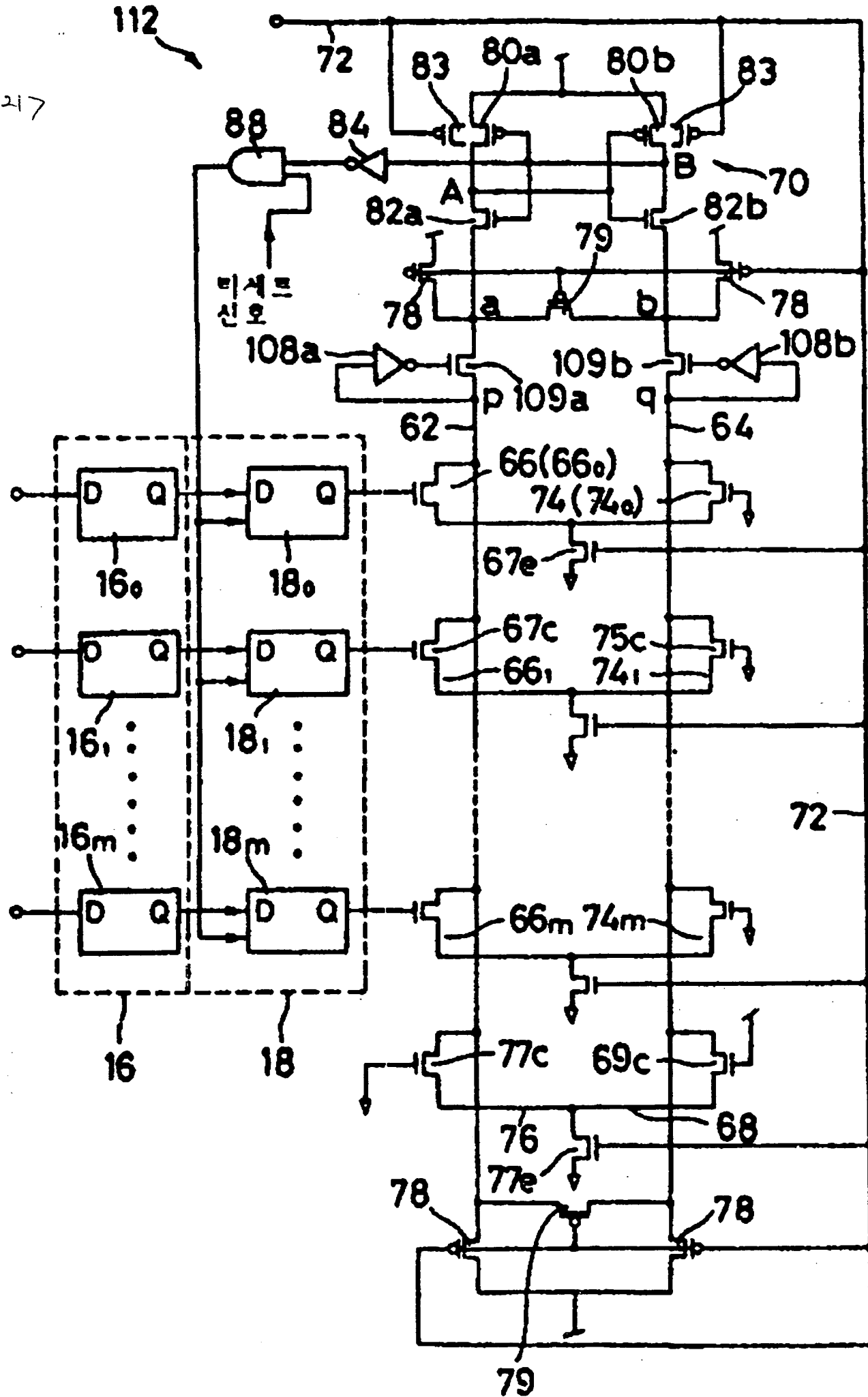
<도 19>



<도 20>

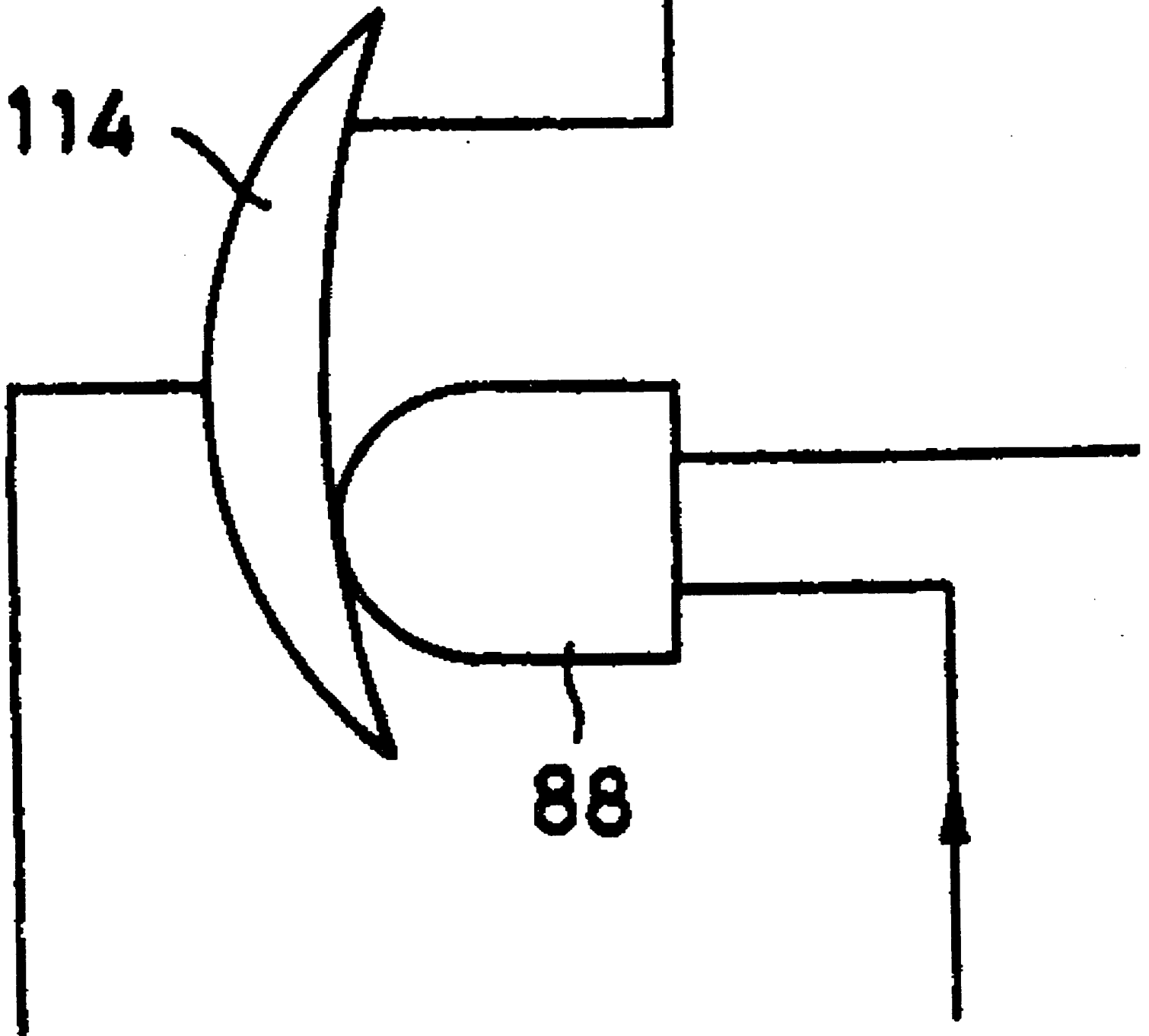


<도 21>



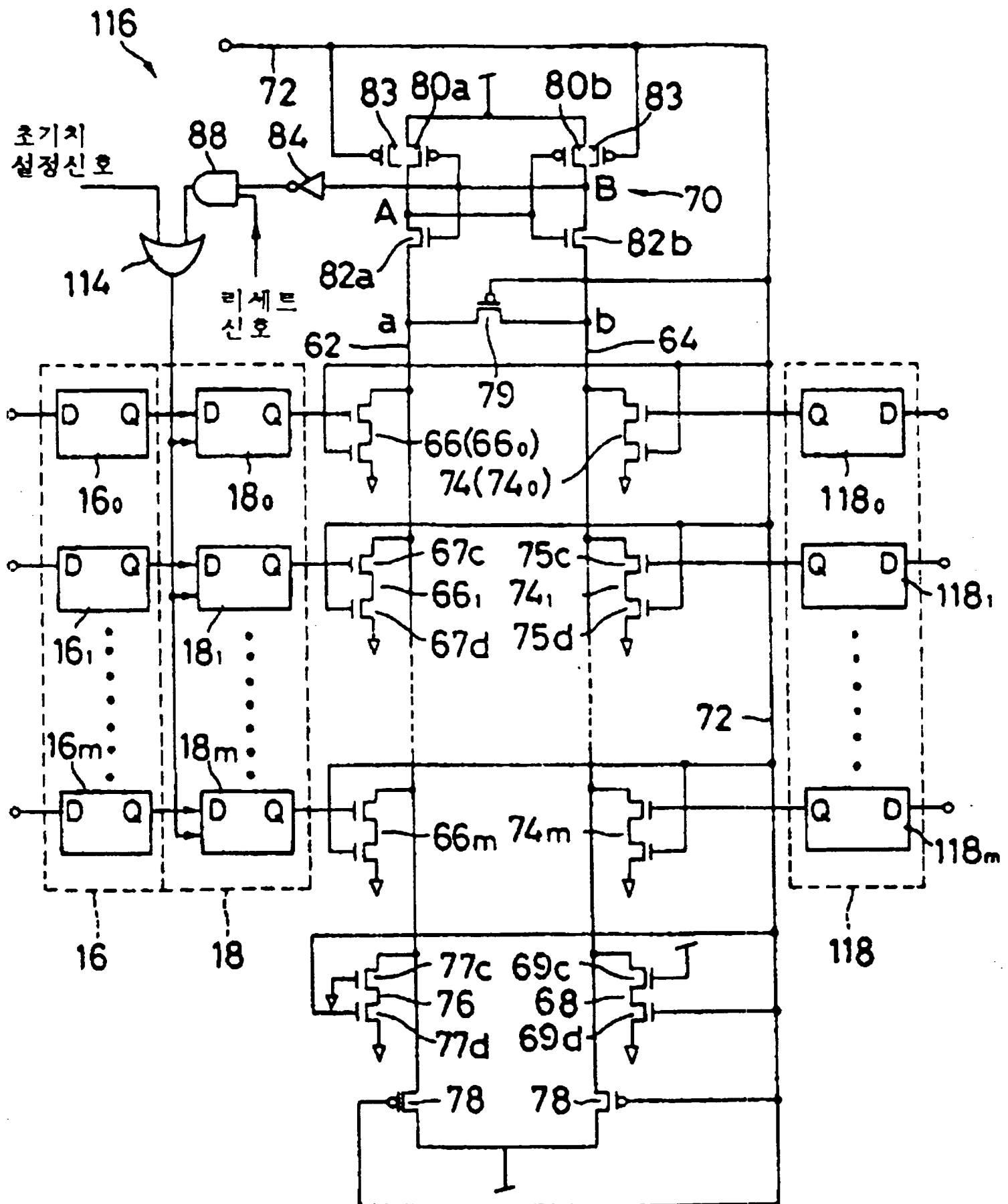
초기치 설정 신호

<도 22>

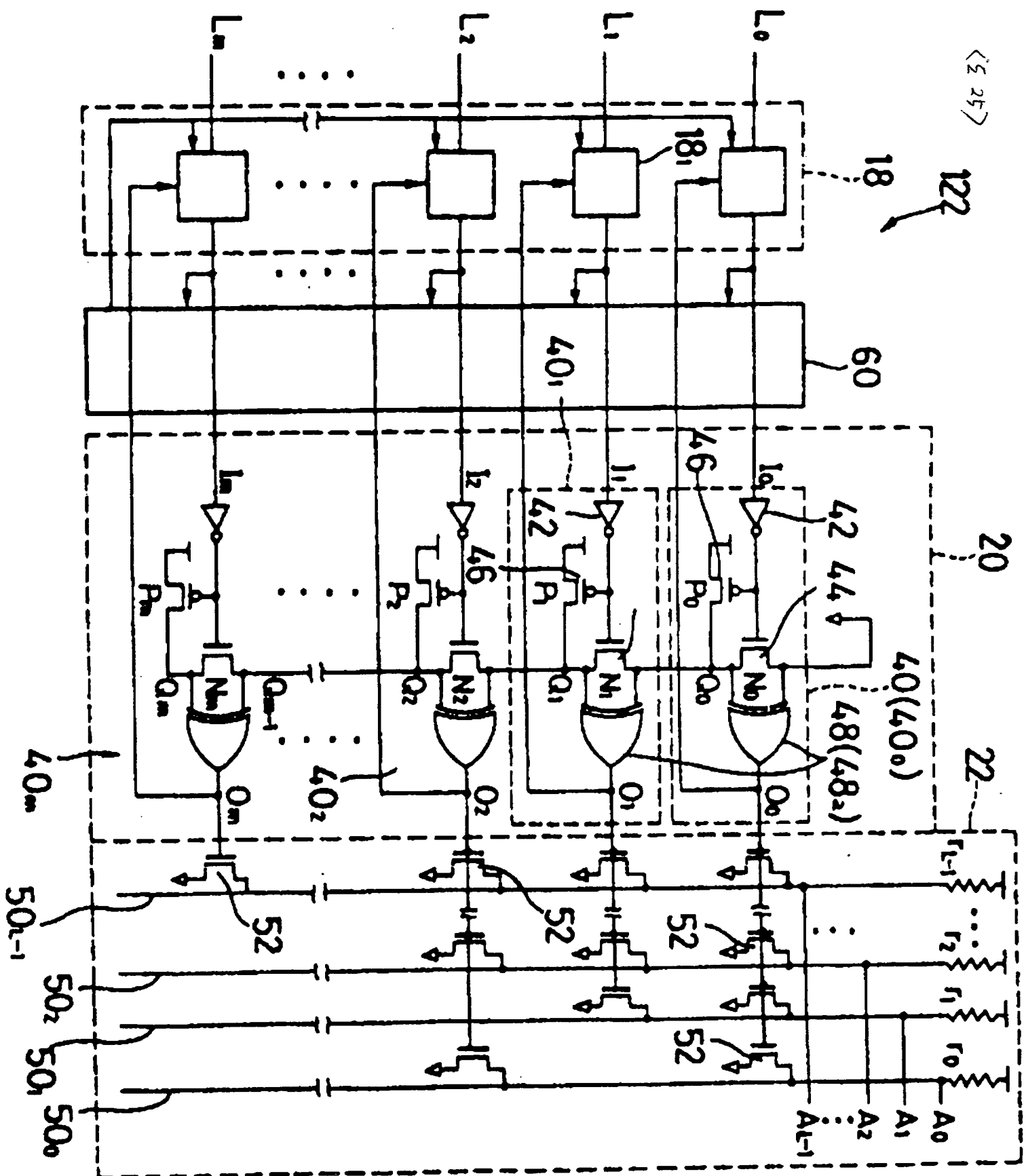


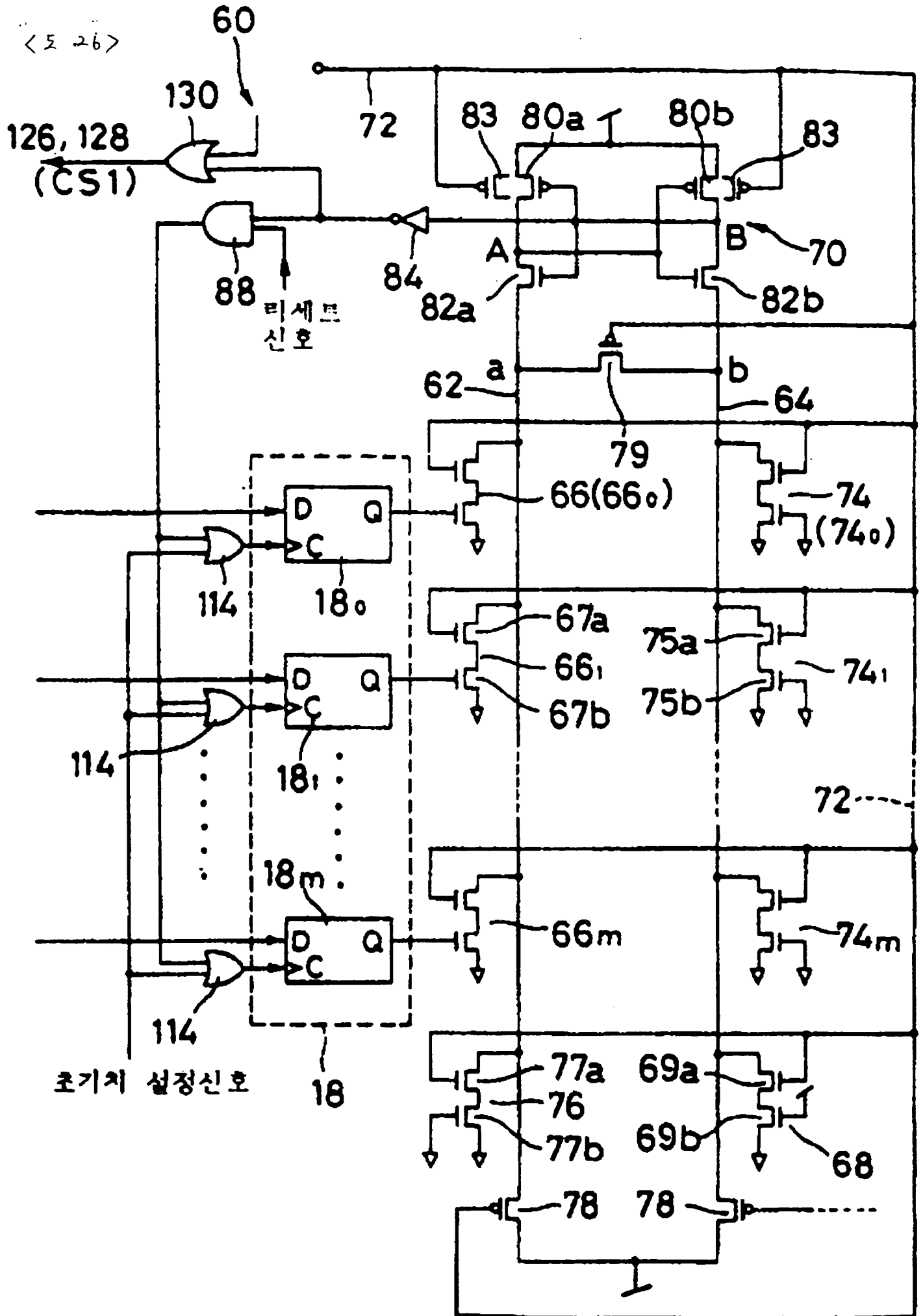
88

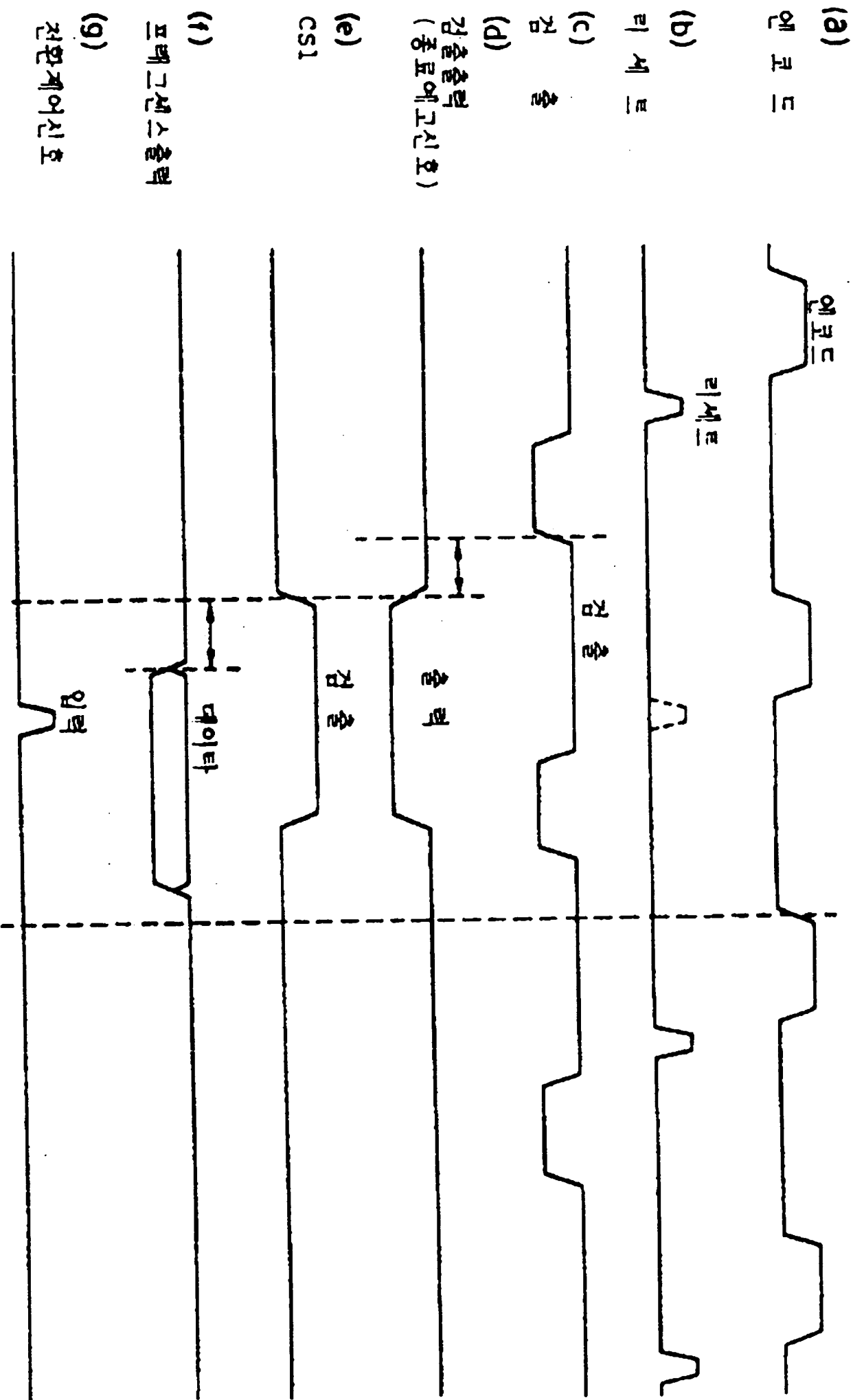
리셋트 신호



< 25 >

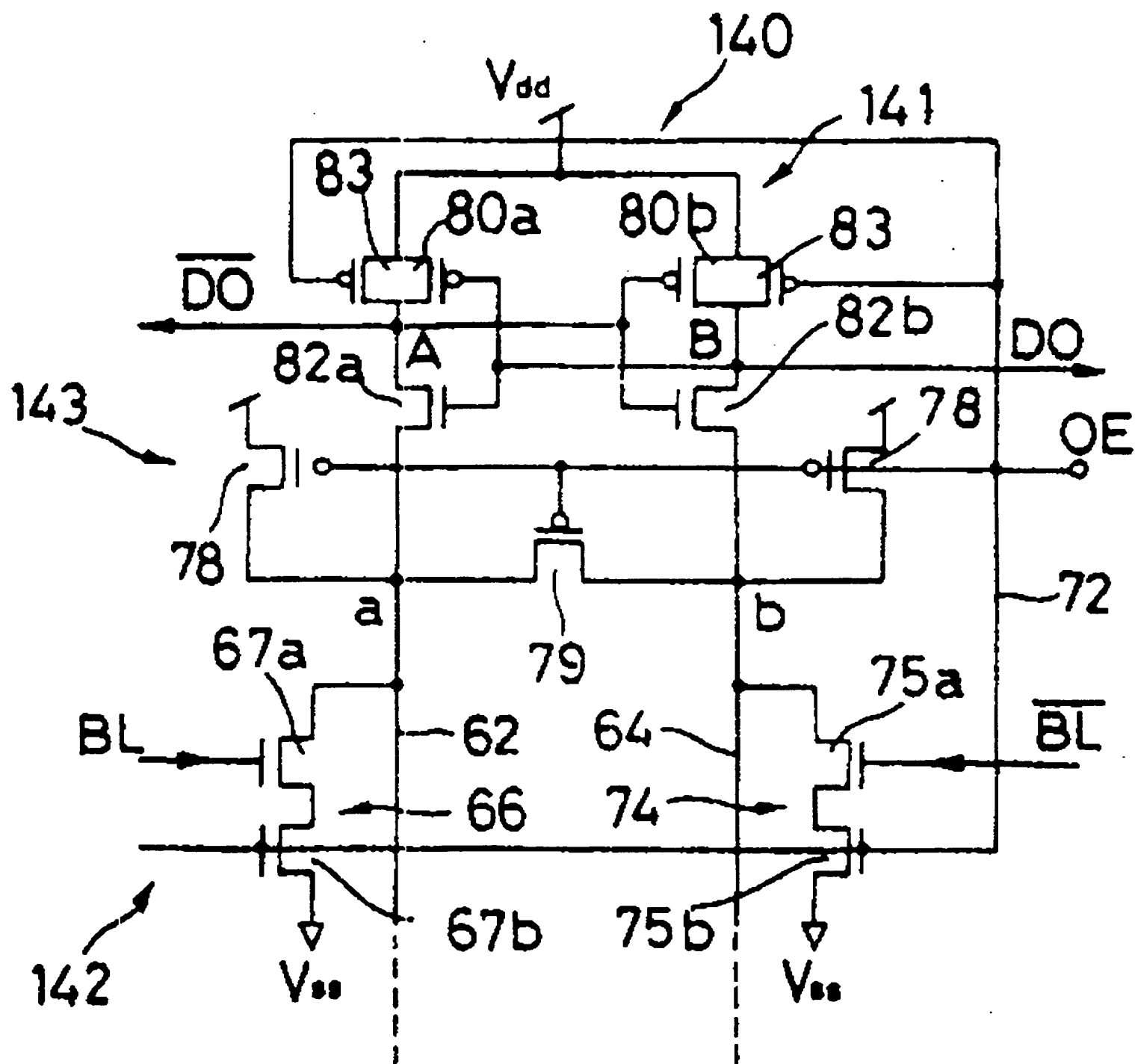




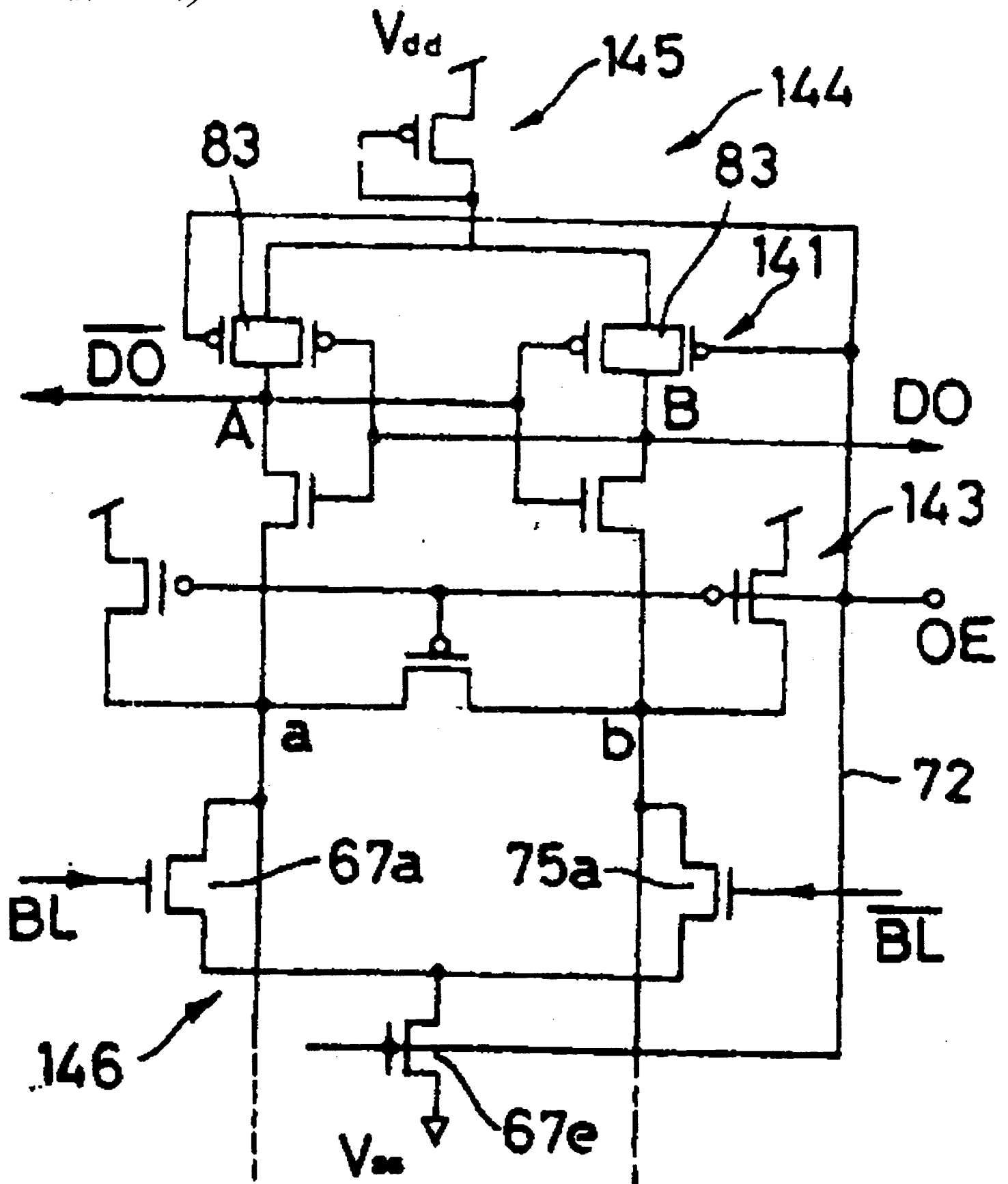


다음의 서브블록의
엔 코드 개시

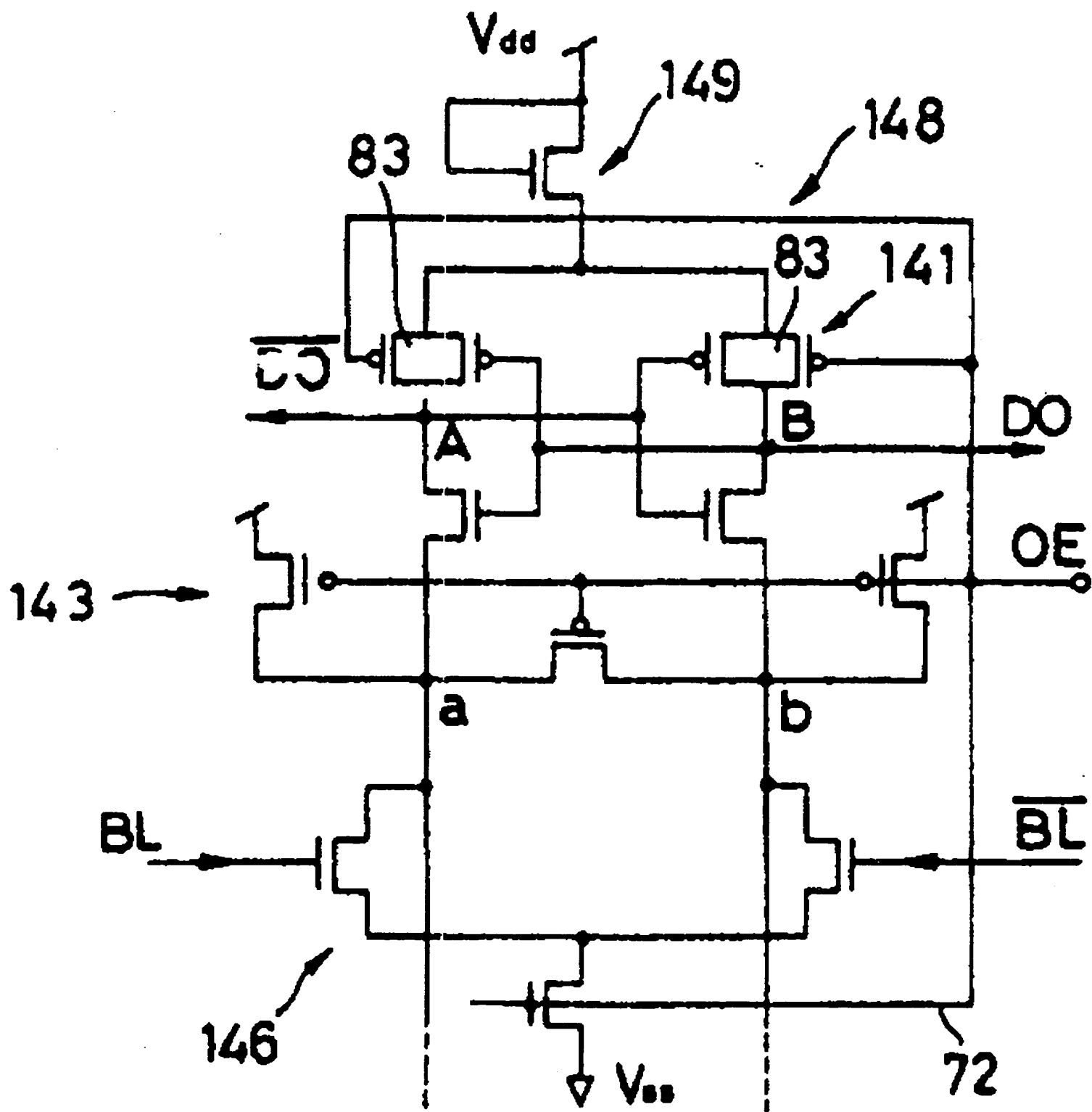
<図 28 (a)>



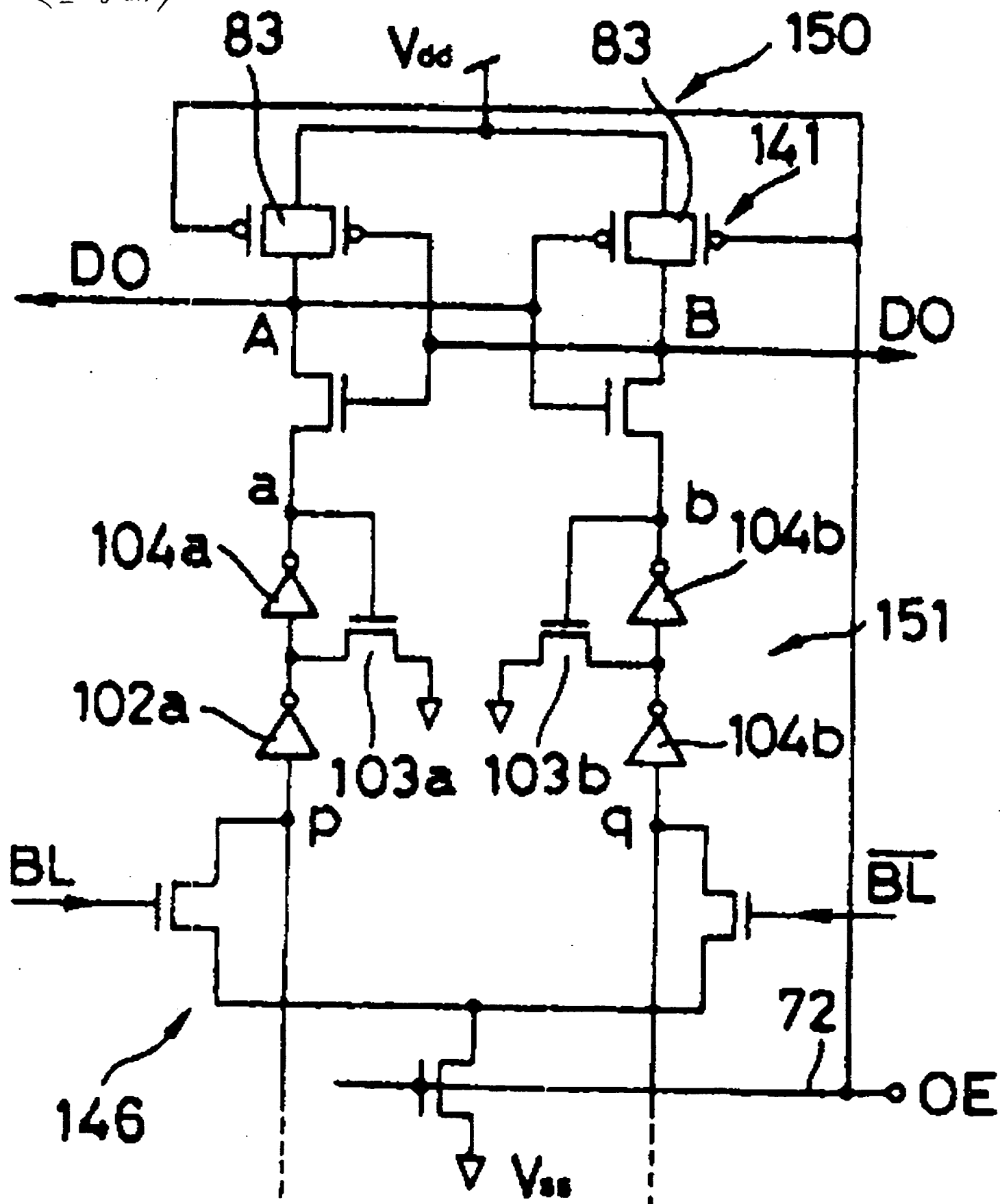
<5 28 (b)>



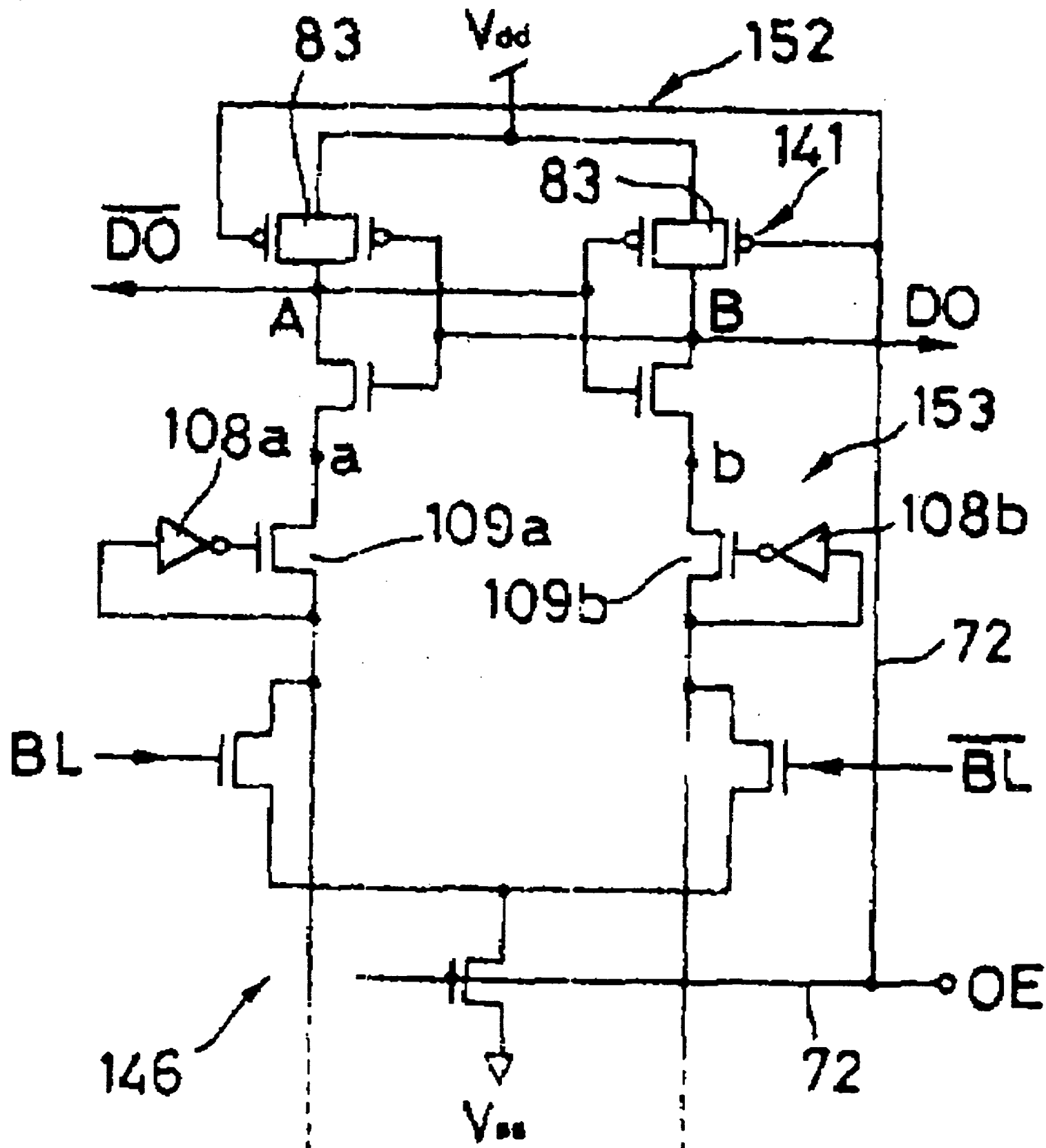
< 28 (c) >



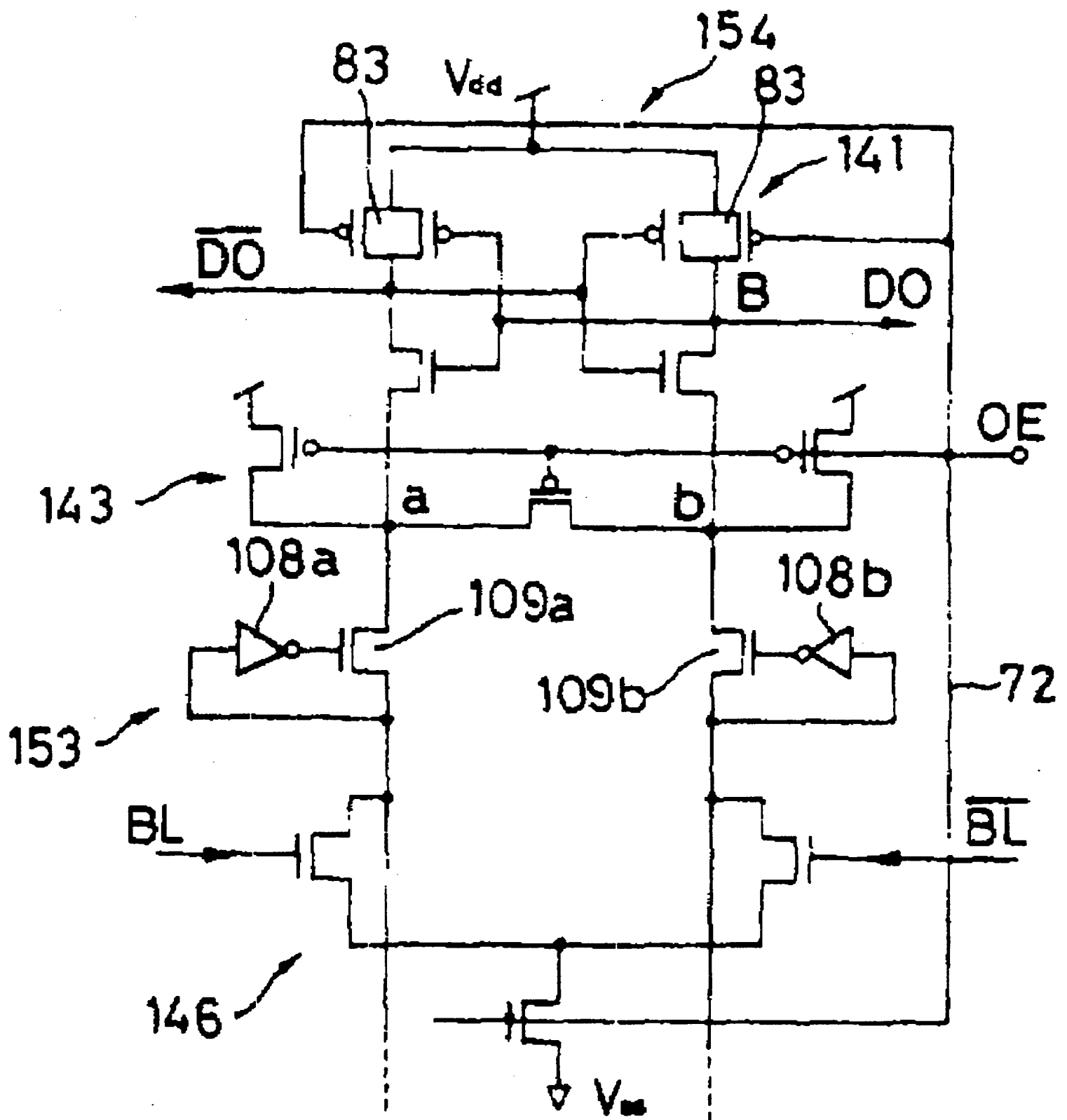
< 28 (d) >

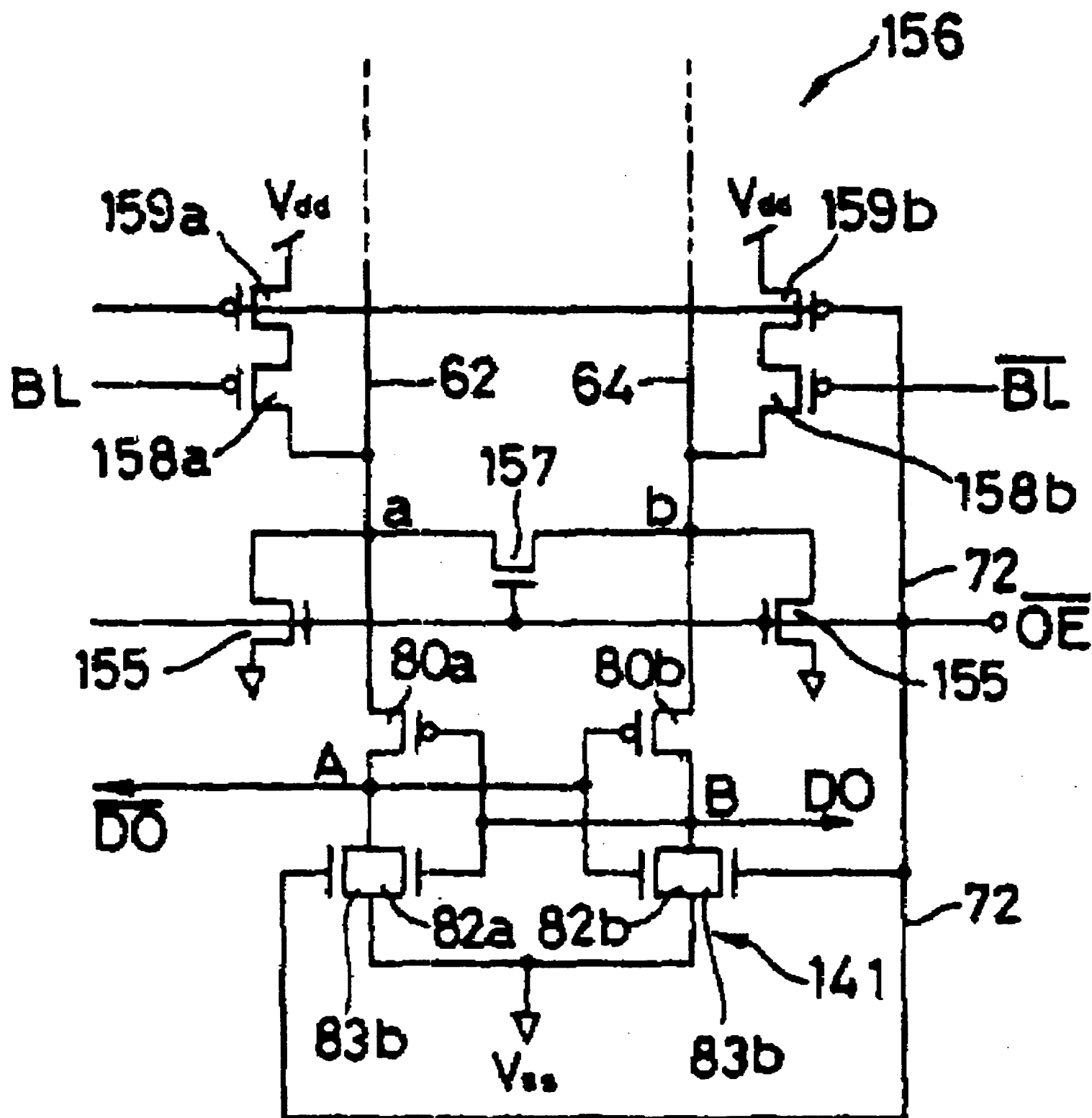


< 28 (e) >

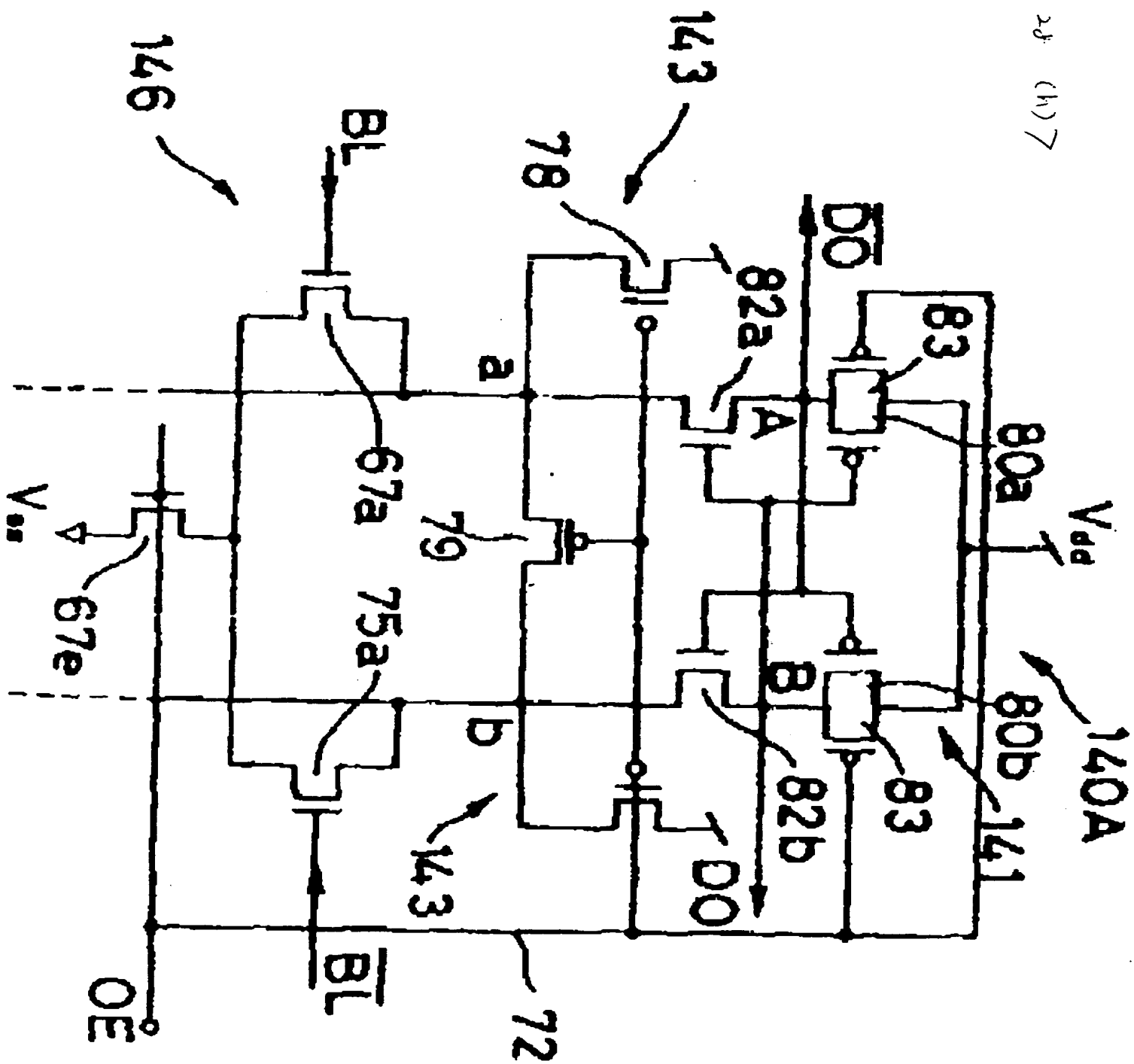


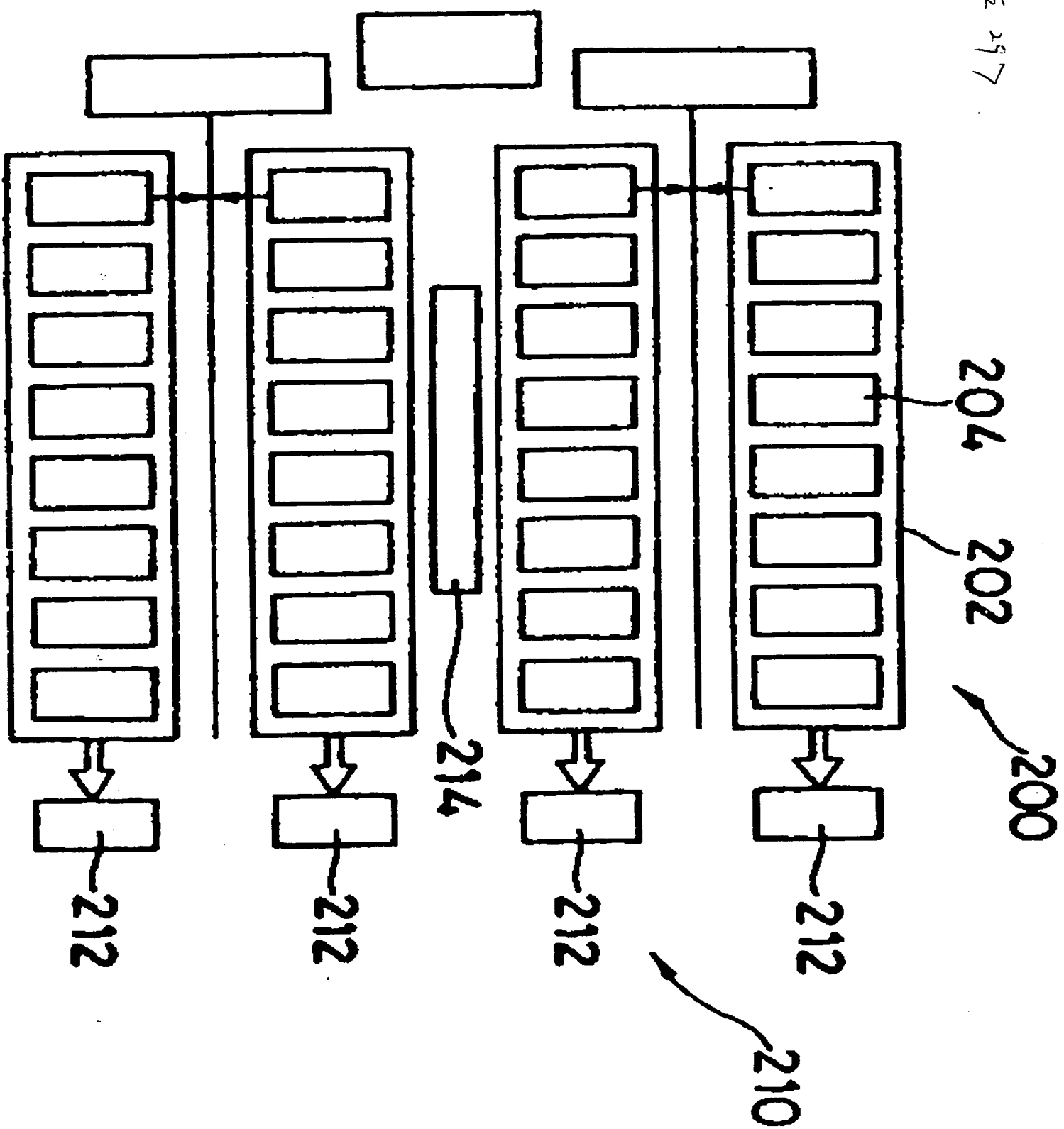
< 28 (f) >



$\langle 5 \text{ 28 } (g) \rangle$ 

< 28 (h) >





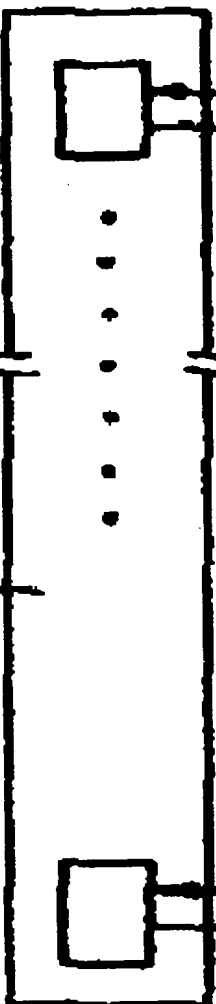
< 30 >

206 204 208

206 204 208



212



214



210

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.